

Cadence Palladium Z1 Enterprise Emulation Platform

柔軟性、拡張性、生産性の向上のために

最先端のエンタープライズ・エミュレーション・プラットフォームであるCadence® Palladium® Z1プラットフォームは、Palladium XPシリーズの後継製品です。この新製品では、クラス最高のシミュレーション・アクセラレーション技術とエミュレーション技術が、従来の8倍以上の密度で統合され、マルチユーザー・エミュレーションの性能と効率のために最適化されたプラットフォームに一体化されています。独自の大規模並列処理コンピューティング・エンジンと、ソフトウェアベースの自動化により、SoC、サブシステム、IPブロックの検証、およびシステムレベルの検証を短縮でき、製品の高い品質とパフォーマンスを維持しながら開発サイクルを改善できます。ラックベースのプラットフォームは管理や拡張が容易なので、データセンターに効率的に配置でき、世界中に分散したチームからのリモートアクセスが可能です。

概要

柔軟性、拡張性、生産性の向上のために設計されたPalladium Z1プラットフォームで1段階上に進んでください。このプラットフォームは、ターゲットの動的再配置、柔軟なジョブ割り当てなど、業界初の新機能を搭載し、システムリソースの最大限の有効活用を実現します。他社の競合ソリューションに比べて、Palladium Z1プラットフォームは、マシン1台の環境においてもエミュレーションの性能と生産性を向上させます。

- 最大140 MG/時のコンパイル速度
(1台のワークステーション)
- 割り当てスキームによる最高の利用効率
- 最大4 MHzの実行性能
- アップロード速度が向上
- デバッグ機能を強化

このプロセッサ・ベースのコンピューティング・エンジンと、プラットフォームのVerification Xccelerator Emulator (VXE) ソフトウェアは 最大2倍の高速コンパイル用に設計されており、高性能な検証の実行や、現時点でも最先端のPalladium XPプラットフォームと比べても従来のエミュレーションを超える柔軟な新しいユースモデルを可能にします。Palladium Z1プラットフォームが備える、最大92億ゲートの設計容量、高度なデバッグとカバレッジ、ハードウェア/ソフトウェアの同時検証、Virtual Verification Machine (VVM) を使った対話式のオフラインデバッグ、Dynamic Power Analysis (DPA) とハードウェア/ソフトウェアの知的財産 (IP)、およびメトリック・ドリブン検証のサポートなどの機能を使って、システムの設計と検証を最適化できます。



図1 : Palladium Z1プラットフォーム

システムレベル検証の課題

従来の検証ツールは、SoC/ASIC設計の規模や複雑さが急速に増大するペースに対応できていませんでした。これにより、ハードウェア検証とソフトウェア検証のギャップが広がり、再利用性と生産性が制限され、リスピントとスケジュール遅延の可能性が高まっています。

RTL/ゲート設計の規模が増大するにつれて、従来のシミュレータの速度は大幅に低下し、ハードウェア/ソフトウェア (システム) 統合を遅延させ、検証サイクル全体を引き延ばしています。

現在のSoC設計は、IPブロックや他のコンポーネント数において複雑になりがちです。(図2を参照。) そのため、先端的なシステムになるにつれて、ハードウェア/ソフトウェアの相互作用を適切に検証できないリスクも増大します。

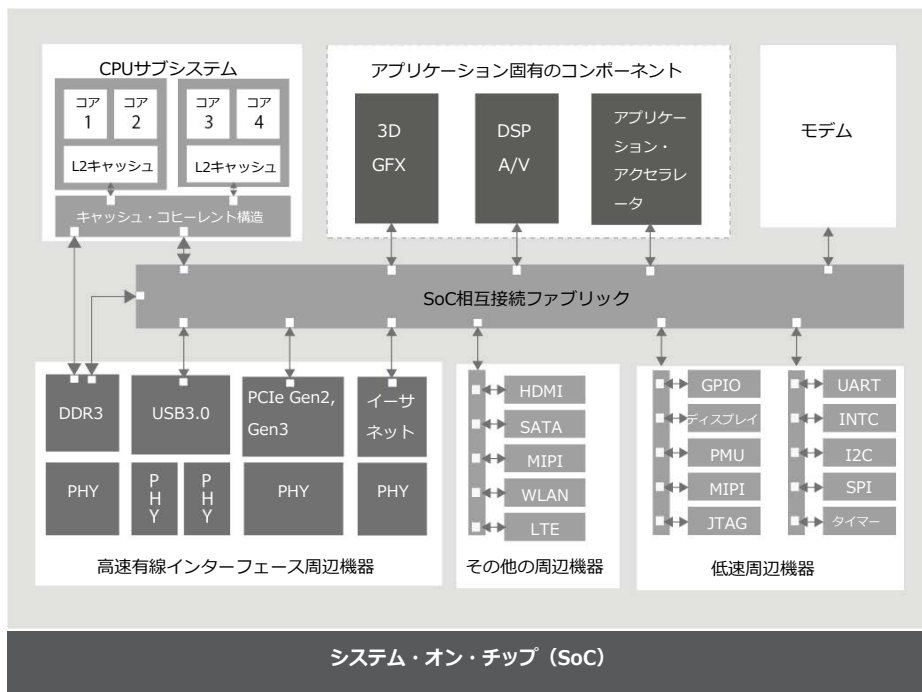


図2：このSoC設計の例にはハードウェアとソフトウェアが含まれます

高い拡張性がこれらのリスクを低減する上で重要です。従来のハードウェア支援の検証ツールでは、ネイティブのシミュレーション環境以外での作業が必要になり、習熟するのが難しく、セットアップに時間がかかり、デバッグ方法も難解で、再利用の問題も生じます。さらに、シミュレーション環境、シミュレーションのアクセラレーション環境、エミュレーション環境の間の移行も、再コンパイルなしでは簡単にはできません。

生産性の向上

検証エンジンの生産性が優れているかどうかは、4つの特徴的な要素を検討すれば分かります（図3）。

1. **ビルド**：数百万ゲートの設計規模では、エミュレータ実行の前段階である、デザインのコンパイルだけでも何時間、何日もかかることがあります。このタスクでは、しばしば複数のホストリソースが必要になることもあります。ジョブのコンパイルに費やす時間を短縮できれば、検証時間全体を短縮でき、割り当てられた検証時間内で対応できる設計変更の数を増やせます。

Palladium Z1プラットフォームでは、VXEソフトウェアの高度な機能により、1台のワークステーションで最大140 MG/時のコンパイル速度を実現し、1日で複数の設計変更に対応できます。

2. **割り当て**：複数のユーザーがシステムにアクセスして検証作業を遂行する場合、エミュレーション用リソースは大変貴重です。効率的なリソース管理は、システム上で実行できるジョブ数を最大化します。ジョブ割り当て可能なシステム最小単位は、システムで実行可能な並行ジョブ数の決定に重要な役割を果たし、リソースの無駄を最小限またはゼロにできます。実際のユースケースのシナリオでは、複数のジョブが別々の時間に完了することが多く、これによりシステム内の複数の場所でさまざまなリソースが利用可能になります。

動的なジョブ割り当てや再配置などの機能により、既存のジョブを再配置する場合も含め、新しいジョブのリソースを簡単に割り当てできます。これにより、最大の利用率が得られます。

Palladium Z1プラットフォームは、ジョブの再構成や再配置、ターゲットの再配置などの業界初の高度な機能を搭載しており、システムリソースを効率的に管理して高い利用率を実現できます。Palladium Z1プラットフォームでは、業界最高の4 MG規模のジョブ精度により、ジョブの大幅な並列化も可能です。これにより、IPブロック、サブシステム、システムレベルの設計など、複数の同時ジョブを並行して実行できます。

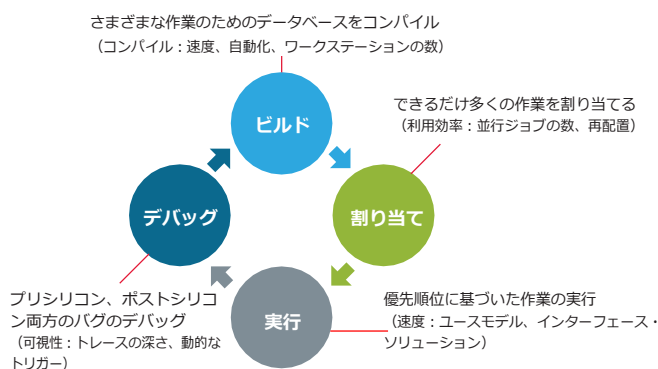


図3：検証エンジンの生産性の判定

3. **実行**：多くの場合、実行性能がシステムの生産性を決める最大の要因だと考えられています。しかし、実行性能に大きな影響を与える実行時デバッグのような要因も見見過ごせません。システムが多様なユースモデルをサポートすることにより、ハードウェアとソフトウェアの統合に関するすべての要素を検証作業でカバーできるようになります。

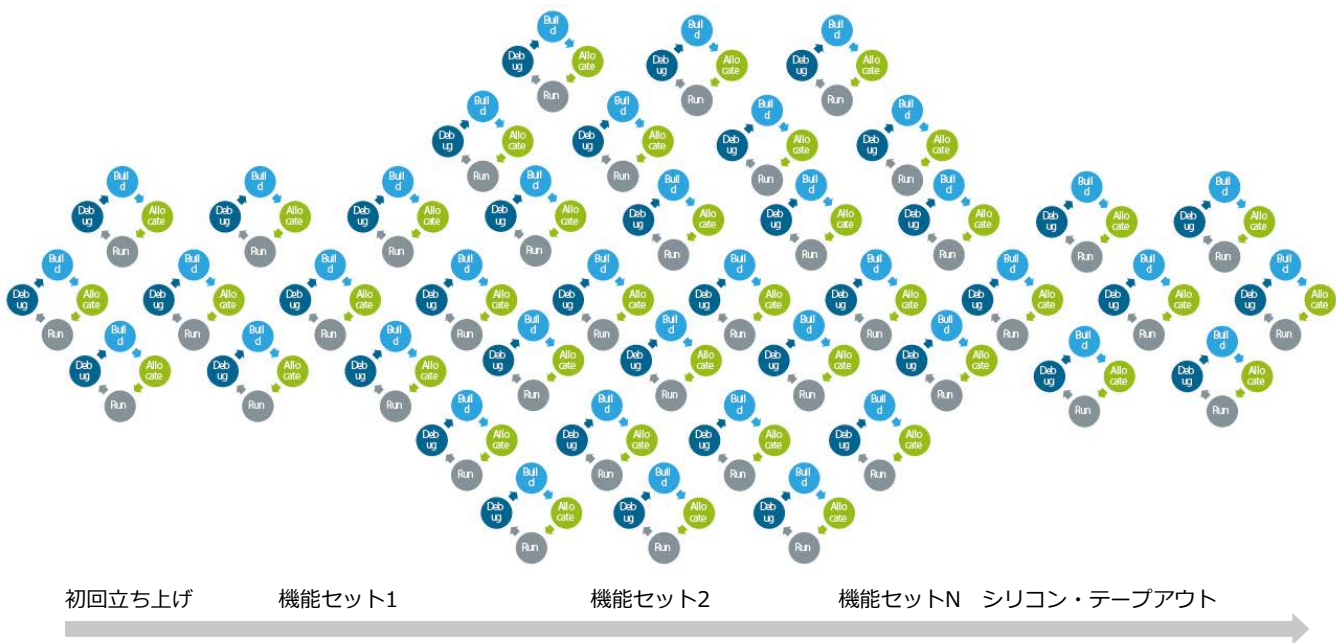


図4：製品の設計/検証段階における検証ループ

ハードウェア支援の検証用にカスタマイズされた高速アダプタや検証IPで主要な業界標準プロトコルをサポートする包括的なインターフェースにより、テーブアウトやシリコン完成の前に設計をしっかりとテストして、想定外の問題が後で発生することも回避でき、市場投入時間を短縮できます。

Palladium Z1プラットフォームの実行性能は最大4 MHzで、高速に実行して設計の潜在的な問題を特定できます。

4. **デバッグ**：システムのデバッグ機能は、実行時デバッグとオフラインデバッグに分けられます。動的トリガーで利用する深いトレースを備えた優れた機能セットにより、実行時にバグを特定できるので、貴重な時間を節約できます。これは市場投入時間に直接影響します。業界で使われている多くのシステムとは異なり、Palladium Z1プラットフォームは実行時デバッグが有効な場合でも実行性能が大幅に落ちることはありません。さらに、オフラインデバッグ機能により、実行の記録をキャプチャし、キャプチャしたデータベースをオフラインにしてデバッグし、他のジョブのために貴重なエミュレーションリソースを解放できます。生産性を最大化する重要な要件は、オンラインモードで利用できる機能セットがオフラインデバッグ中でも利用できることです。例えば、トリガーイベントを有しフリップ・フロップとメモリの状態をキャプチャできる柔軟性によって、オフラインデバッグ作業を効率的に実行できます。

Palladium Z1プラットフォームでは、ほとんどのオンラインデバッグ機能が利用できるだけでなく、オフラインデバッグで効果的なFullVision、InfiniTrace、動的プローブ、SDLトリガー、最先端の新しいVVMなど、オンラインとオフラインの両方で使用できる高度なデバッグ機能を備えています。

このアプローチを使うと、設計変更があるたびにビルド、割り当て、実行、デバッグの全サイクルを行うことになります。プロジェクトには通常、IPブロック検証、IPブロックの統合とサブシステムの構築、サブシステムの組み合わせによるフルシステムの構築、ハードウェア設計上のソフトウェア立ち上げ、最終的なテーブアウトなどの複数の段階があります（図4）。プロジェクトの段階によっては、想定外の問題なしでSoCを予定どおりに市場に投入するために、このループ（ビルド、割り当て、実行、デバッグ）を同時に複数回実行する必要があります。どの段階においても作業時間の増分を節約できれば、設計サイクル全体で大幅な節約につながります。

Palladium Z1プラットフォームが提供する簡単で柔軟なコンパイル、大変効率的な割り当て、高速な実行時間、確実なデバッグができる包括的なデバッグにより、自信を持って設計をテーブアウトできます。



図5：Palladium Z1プラットフォームが提供する強化された統合フローにより、ユーザーはシミュレーション、シミュレーションのアクセラレーション、エミュレーションの間を移動して、優れたパフォーマンスと強力なデバッグが可能。

IPLレベルからシステムレベルの 検証ソリューション

Palladium Z1は、高度なSoC開発の要求に対応し、ハードウェア/ソフトウェア検証のギャップを埋めることができる業界で最も包括的な検証ソリューションです。このプラットフォームは、検証フローと機能を強化し、ネイティブのシミュレーション環境を活用した統合環境を提供することにより、アクセラレーションやエミュレーションを使い始める際の障壁を取り除きます。この環境により、Cadence Incisive® Simulatorのユーザーは、再コンパイルなしで実行時にシミュレーション環境、アクセラレーション環境、エミュレーション環境をホットスワップできます（図5）。Palladium Z1プラットフォームは、初期のアーキテクチャ分析、ブロック、チップ、システムレベルの統合、ソフトウェア開発、システム検証などのあらゆる設計および検証段階で使用できます。

Palladium Z1プラットフォームは、従来のアクセラレーション/エミュレーションのユースモデルを超えた機能を提供します。検証の生産性を向上させるために、このプラットフォームがユースモデルをサポートする方法は次のとおりです。

- メトリック・ドリブン検証（MDV）のアクセラレーション
- ハードウェア検証言語ベースのテストベンチのアクセラレーション
- インサーキット・エミュレーション（ICE）
- インサーキット・アクセラレーション（ICA）
- Universal Verification Methodology（UVM）アクセラレーション
- ベクターベース・アクセラレーション（VBA）
- 包括的なカバレッジ機能

- 電力停止検証（PSO）
- Dynamic Power Analysis（DPA）
- RTLおよびゲートレベル・エミュレーションのその他の技法（図6）

Palladium Z1の機能

機能	メリット
最高の拡張性と汎用性	<ul style="list-style-type: none"> • 拡張性が高いリソースによる集中管理型またはローカル分散型検証コンピューティングによって、最大容量92億ゲート、1~2304ユーザーが同時に使用可能 • 多様な抽象化のレベル（C/C++、SystemC®、命令セットまたは正確なサイクル、シリコン、RTL、ゲート）で、実行可能な汎用機能モデルをサポート
最高の柔軟性	<ul style="list-style-type: none"> • ジョブの動的再配置により、ジョブをシステム内でオン・ザ・フライに移動し、新規ジョブを収納してシステムの利用効率と生産性を最大化 • ターゲットの動的再配置により、選択したターゲットに物理的に再配線せずに仮想接続し、リアルタイムのトラフィックを使って設計を柔軟に検証

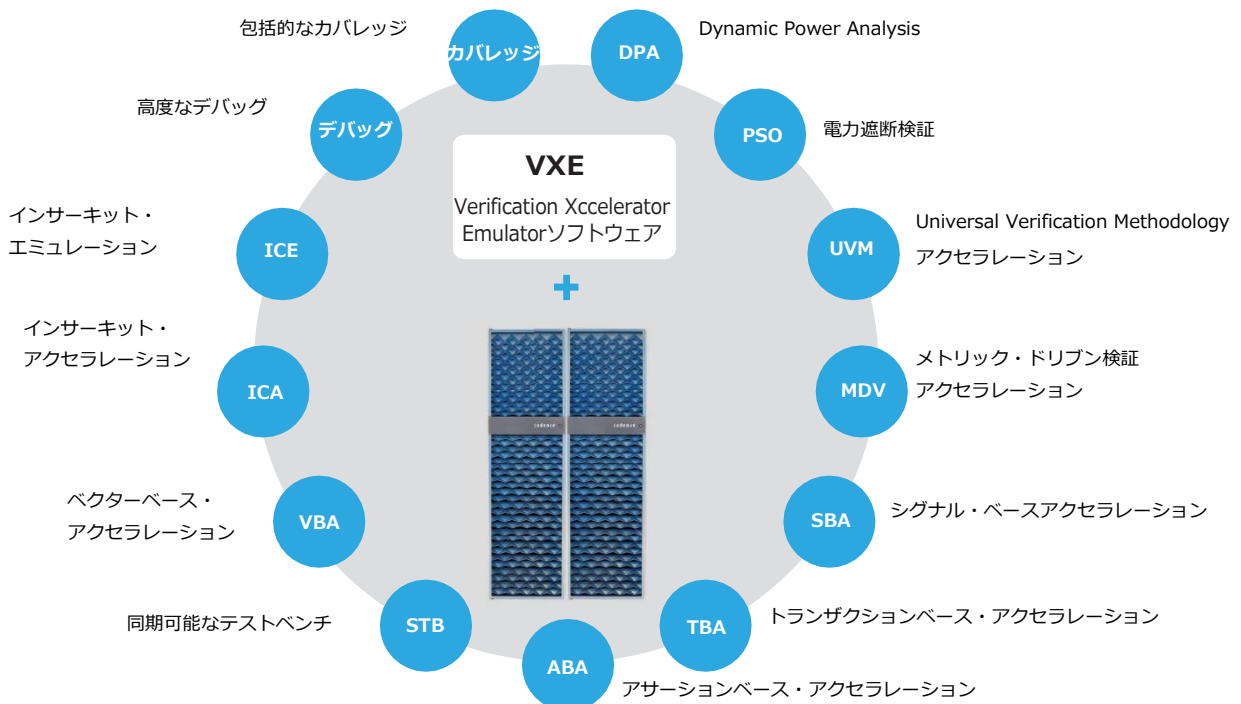


図6：次世代のPalladiumプラットフォームは、RTLとゲートレベル設計においてハードウェアとソフトウェアの同時検証とシステム実装のための包括的なユースモデルを提供

機能	メリット
比類ない検証コンピューティングの生産性	<ul style="list-style-type: none"> 豊富な動作構成サポートやシミュレーションとハードウェアの一致動作を含むインテリジェントな高速自動コンパイラを使った簡単な立ち上げが可能
優れた設計立ち上げ予測性	<ul style="list-style-type: none"> アクセラレーションやエミュレーションへのホットスワップ、非常に柔軟なユースモデルによって実行時間の予測性を向上 包括的で実績のあるCadence SpeedBridge®ポートフォリオ（標準プロトコル用のハードウェア・レート・アダプターで構成）およびAccelerated VIPによりシステムレベルの簡単な立ち上げを実現 エミュレーション開発キット（EDK）による、ソフトウェア/ファームウェア/ドライバの早期開発と検証を実現
プラットフォームの拡張	<ul style="list-style-type: none"> ハードウェア検証言語とハードウェア設計言語の進歩とその対応により、アクセラレーションのMDVをサポート 標準プロトコル用の包括的なハードウェア/ソフトウェア検証IPをサポート DPAオプションと電力遮断のような電力検証技法により、システムレベルの省電力解析を強化
優れたデバッグ機能	<ul style="list-style-type: none"> SDLトリガー、FullVision、動的プロンプ、Infinitrace、Virtual Verification Machine (VVM) のような高度なデバッグ機能をサポートし、設計上のバグを特定

包括的な企業エミュレーション用プラットフォーム

Palladium Z1コンピューティング・エンジンは、高度なカスタム・プロセッサ・グリッドで構成されています。Palladium Z1プラットフォームは、このプロセッサ・グリッドによって最大92億ASICゲートの設計容量を備え、1~2304ユーザーが同時に使用可能で、18.4 TBの組み込みメモリによって最大4 MHzの実行性能を持っています。

Palladium Z1プラットフォームのVXEソフトウェアコンポーネントは、シミュレーション、アクセラレーション、エミュレーションを1つの環境に統合し、すばやい立ち上がりと優れたデバッグを実現しています。1台のワークステーションで、ホットスワップ機能、および予測可能な設計の全自動高速コンパイルを実現

柔軟なリソース割り当てとモデルサポート

Palladium Z1プラットフォームは、クラス最高の企業向け検証コンピューティング・リソースを提供します。アクセラレーションやエミュレーションの混在したジョブなどの複数の同時進行ジョブを、他のジョブに影響を与えずにサ

ポートできるので、複数のプロジェクトやテストで利用できます。不具合や対話式使用のためにジョブを並べてセットアップしたり、ジョブを再コンパイルせずに対称的構成を持つ他のリソースに割り当てたりできます。さらに、プロジェクトを発展させる必要がある場合、リソース割り当てのオンデマンド要求に応えることもできます。

Palladium Z1プラットフォームのジョブの動的再配置機能により、大規模な新規ジョブをシステムの非連続部分に割り当てることで、システムリソースを最大限に活用できます。複数のジョブが別々のタイミングで完了することが多く、それによってシステム利用効率にギャップが生じて効率が低下します。このプラットフォームによって、既存のジョブをシステムの他の場所にシームレスかつオン・ザ・フライに移動できます。

ターゲットの動的再配置は、Palladium Z1プラットフォームで導入された業界初の機能です。この機能により、ターゲット間を仮想的に切り替える柔軟性が得られ、インサーキット・エミュレーションを十分に活用できます。システム内で実行中のジョブを物理的な再配線なしでターゲットに接続できるので、遠隔地のユーザーは複数のインターフェースを使って簡単に設計の検証作業を完了できるようになります。

大変柔軟な検証プラットフォームは、SoCの迅速な組み立てに不可欠です。Palladium Z1プラットフォームによって、パフォーマンス、精度、可用性、再利用、ハードウェア/ソフトウェアIP、従来環境のサポート要件に応じて、さまざまな抽象化IPモデルの迅速な統合が可能になります。Standard Co-Emulation Modeling Interface (SCE-MI)、SystemVerilog DPI、Virtual Interface (VIF) のような業界標準インターフェースをサポートしているので、システムレベルの検証環境をさらに柔軟に拡張できます。

Palladium Z1プラットフォームは、複数タイプのIP、テスター、デバッガー、テスト・ステミュラス生成機の同時使用をサポートしているので、開発スケジュールを大幅に短縮します（図7）。実環境、または特定対象向けの環境、ランダムなコンストレイント環境、MDV環境用のテストベンチを使って、エミュレーション性能を大幅に向上させながら、包括的にシステムの相互作用を検証できます。

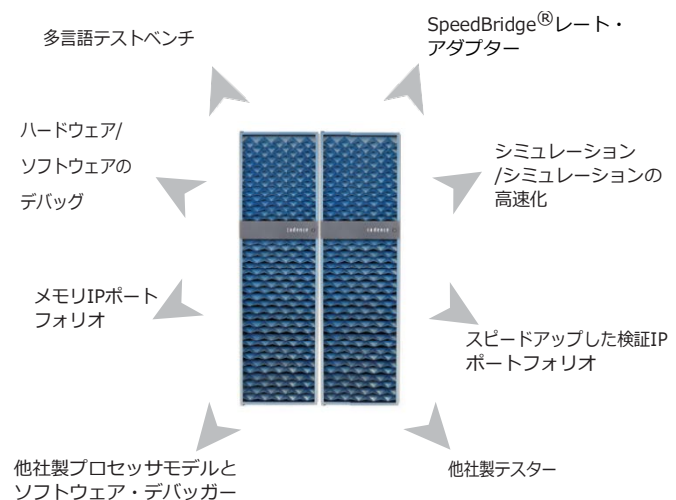


図7: 次世代のPalladiumプラットフォームでは、複数タイプのモデルの同時使用が可能

電力解析

Palladium Z1プラットフォームは、共通のサイドファイルを読み取って、統合されたCadence SimVision™ Waveform Viewerとログファイルのメッセージによって省電力目標を検証するシステムレベルの電力検証を提供します。

- Dynamic Power Analysis (DPA)** : シミュレーションでは捉えられないことが多い長時間実行中の「本当のピーク」を特定します。Cadence Genus™ Synthesis Solution 電力予測エンジンとPalladium Z1プラットフォームを統合することにより、高性能で高精度サイクルの統合ソリューションが初めて実現し、システム全体でハードウェア/ソフトウェア設計の電力解析が可能になりました。
- Unified Power Format (UPF/IEEE1801) と Common Power Format (CPF)** : UPF/IEEE1801/CPFでモデル化された省電力目標を指定するので、省電力なアクティビティを捉えて波形を表示してデバッグできます。また、電力遮断 (PSO) 後のメモリ/フリップ・フロップ (FF) のランダム化などの効果的な省電力検証も支援します。UPF/CPFを考慮したDPA作業によって正確な電力解析を行いましょう。

高度なデバッグ

Palladium Z1プラットフォームは、使いやすく高性能なデバッグ機能で設計デバッグのプロセスを強化します。高度なデバッグ機能が、ハードウェア/ソフトウェアの同時検証とさまざまなアサーション言語をサポートします。

機能	仕様
FullVision	<ul style="list-style-type: none"> 通常、最大200万サンプルのネットを実行中に迅速に可視化
動的プローブ	<ul style="list-style-type: none"> 最大8000万サンプルの波形を高速にアップロード 実行前に解析する信号を選択
InfiniTrace	<ul style="list-style-type: none"> トレースキャプチャの深さが無制限 チェックポイントに戻ってエミュレーションを再開可能
State Definition Language (SDL)	<ul style="list-style-type: none"> 一連のイベントに対してシンプル/複雑なトリガーを実現 高精度のトリガーマカニズム用に再コンパイルなしでネットリストを動的に作成
節約と復元	<ul style="list-style-type: none"> 貴重なサイクル時間を節約し、保存ポイントから実行を再現。(例: OS起動完了時など)
Virtual Verification Machine (VVM)	<ul style="list-style-type: none"> 長いトレースを実行時にキャプチャしてオフラインデータベースに登録し、後でデバッグ FF/メモリの状態をキャプチャし、SDLによってトリガーを設定し、興味深いシナリオをオフラインモードで観察

仕様

	Palladium Z1 (XL)	Palladium Z1 (GXL)
拡張性の高い容量とI/O	<ul style="list-style-type: none"> 容量: 最大62億ゲート I/O: 最大147,456 CMOS 3.3V, 2.5V, 1.8V, 1.5V, LVDS, HSTL, SSTL 	<ul style="list-style-type: none"> 容量: 最大92億ゲート I/O: 最大221,184 CMOS 3.3V, 2.5V, 1.8V, 1.5V, LVDS, HSTL, SSTL
デフォルトのユーザー専用メモリ容量	<ul style="list-style-type: none"> 最大12.3 TB 	<ul style="list-style-type: none"> 最大18.4 TB
同時ユーザー数	<ul style="list-style-type: none"> 1~1,536ユーザー 	<ul style="list-style-type: none"> 1~2,304ユーザー
アーキテクチャ	<ul style="list-style-type: none"> 最新カスタムプロセッサ 	
設計フォーマットとサポート言語	<ul style="list-style-type: none"> HDL: RTL (VHDL, Verilog, SystemVerilog)、ゲートレベルのネットリスト HVL: C++, SystemC, Specman e, SystemVerilog, Universal Verification Methodology (UVM) アクセラレーション Assertions: System Verilog Assertions (SVA)、Property Specification Language (PSL)、Incisive Assertion Library, and Open Verilog Library (OVL) 	
メモリ変換とMemory Model Portfolio (MMP)	<ul style="list-style-type: none"> メモリ配置、コンパクション、スキューニング、読み取りポート分割、マージの各オプション 包括的なポートフォリオが、大部分の業界標準メモリモデルをサポート 	
ハードウェア/ソフトウェアのインターフェース、他社製ツール/I/P/環境への接続	<ul style="list-style-type: none"> 標準規格: SCE-MI 2.XとTLMのサポート ほとんどの市場セグメントをサポートする標準プロトコル用の包括的SpeedBridgeおよびAccelerated VIPポートフォリオ アプリケーション固有のインターフェース: C/C++, PLI, VPI, SystemVerilog DPI, DPI-SystemC, VHPIなど 	
高速コンパイル	<ul style="list-style-type: none"> 最大1億4000万ゲート/時間 (RTL/1台のワークステーション) 	
実行速度	<ul style="list-style-type: none"> 最大4 MHz (アクセラレーション用にパフォーマンスをチューニングする組み込みIXCOMプロファイラ使用) 	
高度なデバッグ	<ul style="list-style-type: none"> FullVision、InfiniTrace、動的プローブ、SimVision Debug、Virtual Verification Machine、SDL、DPAなど 	
柔軟なクロック	<ul style="list-style-type: none"> 同期、非同期、ゲート・クロック等、多種なクロックをサポート 	

エコシステムのサポート

- 検証IP (VIP) 、Accelerated VIP、シリコン完成前のシステムレベルおよびアプリケーションソフトウェアのテスト用のインサーキット・エミュレーション実際のシステムとエミュレーション中の設計を接続してシンプルでダイレクトな統合を提供するSpeedBridgeハードウェア・アダプター製品と完全に互換
- Cadence Joules™ RTL Power SolutionがPalladiumエミュレーション・プラットフォームとシームレスに統合し、初期RTL電力解析と最適化を実現
- 効率的なハードウェア/ソフトウェア・デバッグ、高速ブート、RTL/ネットリストによるソフトウェア/システムの早期検証のための、ハードウェア/ソフトウェアのハイブリッド環境
- MDVアクセラレーションと組み込みテストベンチにより、計画から完了までを包括する手法で検証の予測性、生産性、品質を向上
- Cadence Stratus™ High-Level Synthesis (HLS) は、SystemC、C、C++の抽象モデルからの高品質なRTL実装の簡単な設計と検証が可能で、従来のRTL設計の10倍の生産性を実現し、IP開発サイクルを数ヶ月単位から数週間単位に短縮
- Cadence Perspec™ System Verifierを使ったケース・ベースの検証により、システムレベルの複雑なカバレッジ・ドリブンなテスト開発時間を数週間単位から数日単位に短縮

ワークステーションとオペレーティングシステムのサポート*

- X86命令セットアーキテクチャのワークステーション
- オペレーティングシステムの種類 : Linux
 - RHEL 6 (64 bit)
 - SuSE 11 (64-bit)

*事前の通知なく変更される場合がありますので、ケイデンスの担当者に最新情報と詳細を確認してください。

ケイデンスのサービスとサポート

- ケイデンスのアプリケーション・エンジニアが、技術的な質問に電話、電子メール、インターネットでお答えします。さらに、テクニカルサポートやカスタムトレーニングもご提供します。
- ケイデンスが認定したインストラクターが70以上のコースを開講しており、実際の現場での経験を教室でお伝えします。
- インターネット活用トレーニング (iLS) オンラインコースは25以上あり、インターネットを利用して自分のコンピュータで柔軟にトレーニングを受けられます。
- ケイデンス・オンライン・サポートでは、最新のソリューション、技術文書の知識データベース、ソフトウェアのダウンロードに24時間いつでもアクセスできます。



日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜2-100-45

営業本部 HSV営業部

TEL: (045)474-9407 FAX: (045)476-3406

〒541-0054 大阪府大阪市中央区南本町2-6-12 サンマリオンNBFタワー16F

TEL.(06)6121-8095 FAX.(06)6121-7510

URL <https://www.cadence.co.jp/>

© 2015 Cadence Design Systems, Inc. All rights reserved worldwide.

CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。

その他記載されている製品名および会社名は、各社の商標または登録商標です。

* 掲載の内容は、2015年11月現在のものです。