

Overcoming Signal Integrity Challenges of 112G Connections

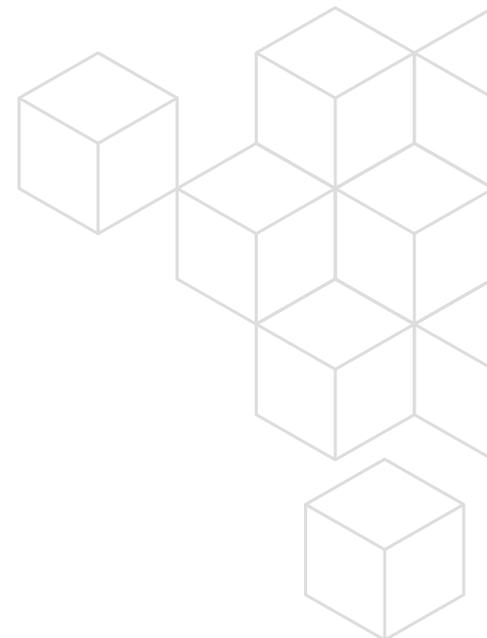
By Cadence

112G SerDes（程度の差はありますが、すべての SerDes も含め）の大きな課題の 1 つに、シグナル・インテグリティの問題への対策があります。長距離製品の最悪な場合、信号は、あるチップ上のトランスミッタから送信され、チップからパッケージを通過し、プリント基板（PCB）上のトレースを通り、コネクタを通過して、別のケーブルやバックプレーン、他のコネクタや PCB 上のトレース、パッケージを通過して、レシーバーに到達します。信号は、到達するまでに非常に歪んでいるために、クロックおよび転送された情報のデータ・ビットを復元することが困難です。

このホワイト・ペーパーでは、これらのシグナル・インテグリティの課題への対処と非常に低いビット・エラー・レート（BER）でデータを正確に送信する方法について考察します。対象は 112G の長距離送信です。短距離や 56G（および、より低いデータ・レート）に、多くの類似することが考察されますが、ある意味、112G の長距離送信は非常に困難なケースと言えます。このホワイト・ペーパーでは、112G SerDes シリコンの実際のデザインについては取り上げていませんが、コネクタの設計方法については考慮しています。

目次

112G SerDes IP	2
Signal Integrity	3
3D Analysis	4
Designing Connectors	5
Putting Analysis and Layout Together in Practice	7
Signal Integrity for 112G	7



112G SerDes IP

すべての半導体 IP に、ある程度の「作成か購入」の判断が必要になります。112G SerDes の場合、常に答えは購入、つまり、ライセンス IP を取得することです。これは、特に大きな 2 つの課題に起因します。第 1 に、非常に熟練した経験のある設計グループだけが、この様な設計を考えることができ、第 2 に、複雑な設計では、SerDes ブロックを検証するためのテスト・チップを必要とし、膨大な費用とスケジュールの遅延をもたらします。

ケイデンスは、長距離および中距離送信向けのパワー、パフォーマンス、エリア (PPA) が最適化された 112G SerDes IP デザインを提供しています。これは、高機能はハイ・パフォーマンス・コンピューティング (HPC) データ・センター・システムのシステム・オン・チップ (SoC) 向けの 7nm シリコンで設計されています。これは、10G/25G/50G/100G の Ethernet のレンジ全体など、低速側もサポートしています。112G や 56G の場合は、PAM4 (シンボル当たり 2 ビットで 3 つのアイを持つ) となり、低速の場合は、NRZ (シンボル当たり 1 ビットで、1 つのアイを持つ) となります。このデザインは 35dB を越えるインサージョン・ロス (挿入損失) を持ちます。

この 112G SerDes IP は、完全に自律的な始動および適応機能が備わっています。つまり、このホワイト・ペーパーで後述するシグナル・インテグリティの問題に対処し、トランスミッタとレシーバーの SerDes ブロックは、SoC の他の部分の特別な対応なく、自動的に同期するようになっています。これは、イコライゼーションによって実現されています。トランスミッタ側は DAC (D/A コンバーター) ベースで、4 つのトランスミッタの有限インパルス応答 (FIR) イコライゼーションのタップを持っています。これにより、プリエンファシスとディエンファシスが追加され、チャンネルが補償されます。

レシーバー側は、イコライゼーションの複数の段階を持ったデジタル・シグナル・プロセッサ (DSP) です。最初に、自動利得制御 (AGC) が入力信号の (およびノイズも) 電圧を上げて、入力信号を調整します。次は、連続時間線形イコライゼーション (CTLE もしくは場合によって CTE) により、低周波信号成分を減衰させ、ナイキスト (Nyquist) 周波数の近傍の信号成分を増幅します。さらに、判定帰還型イコライザー (DFE) とクロック・データ・リカバリー (CDR) が続きます。ここで信号が最終的に処理され、データ・ストリームと関連するクロックの刻みをリカバリーします。フィードバックの部分では、数クロック (クロック数は設計者により制御されます) 毎に、使用中のパラメータがそれ以前の判断に基づいて更新されます。

時間のドリフト (112G 信号は、正確に 112G で動作していません) と電圧 (与えられた電圧が 0 か 1 を決定するために使用される電圧値) は変化します。DEF および CDR により、信号のばらつきを制御下に維持します。DEF は信号レベルの識別に用いられ、CDR は、クロック・エッジが検出される場所の分布を示すことに用いられます。

このホワイト・ペーパーのこれ以降の内容の中で、SerDes について Cadence® IP の使用に関する説明はありません。実際に、一般的な設計において、たとえ SoC を設計している場合でも、通信するチップは別のサプライヤーから来ていて、自身のコントロール外であることがあります。さらに、PCB レベルの設計だけをしている場合は、複数のコンポーネント (すべてが 112G SerDes とのインターフェイスを持ち) があっても、それらはシリコン・レベルではコントロール外となります。その一方で、シグナル・インテグリティの問題はやはり重要で、問題が適切に処理されなければデザインは動作しません。

Signal Integrity

驚くかもしれませんが、トランスミッタとレシーバー間のチャンネルは、1回のインパルス応答のシミュレーションにより、完全に特性が確認されます。しかし、シミュレーションとチャンネルのモデルの両方を、非常に正確に表す必要があります。

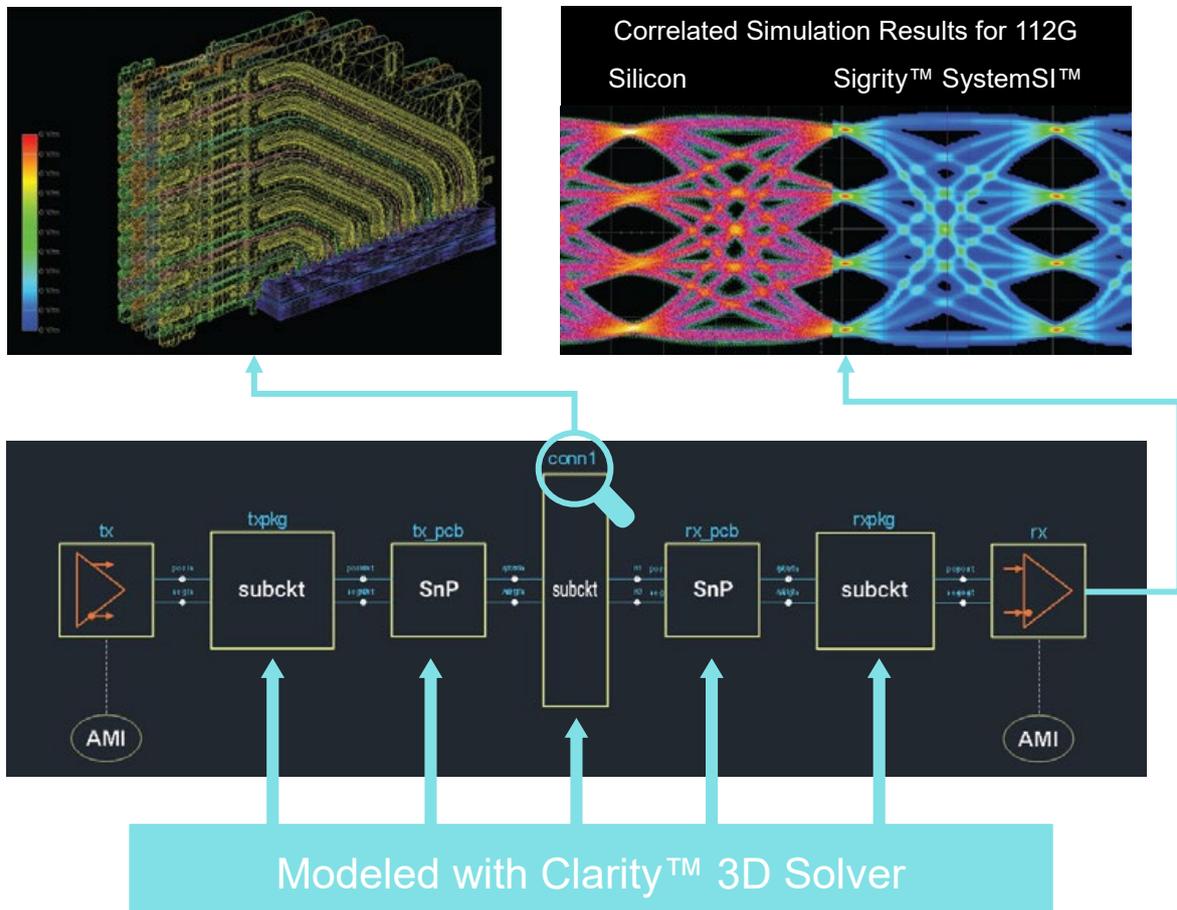


図 1: Clarity 3D Solver EM ソフトウェアはコネクタ PCB インターフェイスを最適化し、TX から RX までの重要な 3D インターコネクタをモデリングします。

このシミュレーションを実行するには、トランスミッタの出力段の入力にステップ関数を与えます。そして、その出力段とチャンネル自身および受信入力段で構成されるチャンネル全体がシミュレーションされます。この単一のシミュレーションには、チャンネルからの歪を測定するために必要なすべての情報が含まれています。チャンネルは、ピンやトレース、コネクタ、バックプレーン、さらに、ケーブルなどをもち、非常に複雑な構成であることに注意してください。

信頼できるアイ・ダイアグラムを計算するために必要な多数のビットの伝送の解析や BER の計算、もしくは、トランスミッタとレシーバーがロックするために十分なビット（数十万ビット）のシミュレーションに、回路シミュレーションを使用することは現実的ではありません。

代わりに、チャンネルは AMI (Algorithmic Modeling Interface) を使用した IBIS (I/O Buffer Information Specification) によりモデリングされます。IBIS は 30 年近くチャンネルのモデリングの標準として用いられています。ケイデンスは開発の初めから両方の仕様策定に携わっています。これらを使用することで、高速かつ精度をもったシミュレーション・モデルにより、非常に大きなビット・ストリームのシミュレー

ションが可能となります。アダプティブ・イコライザがロックする前の、シミュレーションの前半部は、使用しません。シミュレーションの後半部が、スペックに適合するようにアイが十分にオープンしていることの確認や、BER の計算に使用されます。

IBIS は、ドライバーとレシーバーをモデリングするときの標準規格です。IBIS モデルでは、プルアップ・トランジスタとプルダウン・トランジスタ、遷移時間、クランプ・ダイオード、パッケージ・ピンのインダクター、抵抗、容量などがモデル化されます。入力モデルは同じですが、ドライバー・トランジスタがありません。従来の IBIS モデルは、高速なシミュレーションを実行するために SPICE モデルに置き換えて使用された、テキスト記述です。

AMI は IBIS のテキスト・ベースをコンパイル・コードに置き換えることができ、機密情報を守ることができます（かつ、実行速度の向上が見込めます）。合わせて使用する方法は IBIS-AMI と呼ばれています。

112G SerDes の解析では、IBIS-AMI が最良の方法です。デザインに SerDes IP を使用している場合、IP 開発者は、IBIS-AMI モデルの提供が必要になる場合があります。設計している SoC は、市販の半導体ベンダーからの来る可能性のある他のチップとの通信が必要になることから、通常、この様なモデルは 1 つだけではありません。確かに、設計された SoC が繰り返し使用され、同じ SoC の別のインスタンスとだけ通信することもあります。

当然、112G SerDes IP を設計したケイデンスのグループは、IBIS-AMI モデルを提供しています。このグループは、ケイデンスの別のツールである Sigriety™ Advanced IBIS モデリング・ツールを使用して作成し自動的に IBIS-AMI モデルを作成しています。Sigriety Advanced IBIS モデリング・ツールでは、ウィザードを使用して生産品質のモデルを生成することが可能です。

モデルのトレーニング中に、イコライザーを初期化するためにパラメータを計算するには、トランスミッタとレシーバー間のループを閉じるために、実際に存在しないバックチャネルを使用します。

パラメータは、プロセス・コーナー、温度、電圧、および、おそらくデザインの他の側面の変動に依存することから、実際にシステムがパワー・アップしたときには、正確ではありません。しかし、パラメータが十分に近い値から開始する場合、アダプティブ・イコライザは、数万から数十万ビット後に良好な値に固定されます。

3D Analysis

最近まで、トランスミッタとレシーバー間のすべてのインターコネクトをモデル化するには、疑似的な 3D ソリューションが用いられてきました。しかし、ケイデンスの Clarity™ 3D Solver が選択肢の 1 つです。Clarity 3D Solver は、ゴールドン・スタンダードな精度を持ち、ワールド・クラスの並列化技術により、大規模なデータ・センターやクラウド環境にも対応するように開発当初から設計されています。結果として、代替アプローチと比較して最大 10 倍（それ以上）の速度向上が見込めます。

Clarity Solver の解析では有限要素法（FEM）解析が用いられています。解析は 2 つのステージで実行されます。どちらのステージとも高度に並列化されています。最初はアダプティブ・メッシュが実行され、システム全体のインターコネクトを微小な要素に分解します。続く 2 番目のステージは、周波数範囲にわたりデザインのそれぞれの部分の解を計算します。最終的に、全体の解を統合して、解析対象の構造を表す n ポートネットワークの S パラメータ（周波数応答）が生成されます。

Clarity Solver には、大規模並列行列ソルバが備わっています。これは画期的なアルゴリズムで、かつ、システム解析領域におけるケイデンスの非公開の部分になります。さらに、精度を損なうことなくほぼ線形なスケーラビリティに加えて、小さなキャパシティマシンを多数使用することで、実質的に制限のないマシンのキャパシティを可能にして、必要な時に使用できない場合やジョブが投入され使用されるまで待っている多くの時間をアイドル状態としている大規模マシンのコストを排除することが可能になります。インフラストラクチャー全体は、クラウド（もしくはデータ・センター）へと動的に展開されて、膨大な数のマシンでは、まれな事が定期的な生じるために、フォルト・トレラントの再起動機能が備わっています。

Sigrity テクノロジーは、電源ネットワークの解析にも使用することができます。高性能な SerDes デザインの設計を成功させるには、チップにクリーンな電源およびグラウンドのネットワークを作成することが重要になります。現在のチップは低電圧で動作します。それは、電流が非常に高くなる可能性があることを意味します。低電圧と大電流は、電圧降下の原因となる抵抗損失を生じ、これは特に重要です。

Designing Connectors

このホワイト・ペーパーでは、ここまで、ボードやコネクタが「good」を暗黙の前提として、パスのシグナル・インテグリティの解析について考察しました。高性能なデザインのためのどの種類の PCB の素材を使用すべきかの課題は、ある程度理解されています。しかし、コネクタ自体も、シグナル・インテグリティを考慮しながら、設計する必要があります。単純に、SerDes のトランスミッタとレシーバーのイコライザーでは修正できない課題もあります。特に、レシーバーに到達しない信号の一部はレシーバーのイコライゼーション時に利用できないことから、リターン・ロス（反射損失）は、レシーバーのノイズマージンを減少させることになります。個別の信号間の干渉であるクロストークは信号とほぼ同じ割合で発生する（アグレッサーも同様のデータ・レートで動作すると仮定しています）ために、イコライザーによって補償できない別の課題です。

コネクタの設計は、3つの段階を通して行われます。これらの段階は、それぞれの段階で利用可能な計算能力と有限要素のメッシュ作成と解析のアルゴリズムの精巧さに依存します。

信号損失とクロストークの観点からコネクタは適切に機能することが求められますが、コネクタは射出成型されたプラスチックとプレス加工された金属により製造されることから、コネクタの設計は複雑な問題でもあります。（この説明には、特殊で高価なマイクロ波コネクタを含んでいません。）ハイスピード SerDes 用のコネクタの設計を困難にしていることは、経済的に大量に低価格で製造しなければならない事です。さらに、112GHz ではマイクロ波周波数帯ですが、高価で大きなマイクロ波コネクタを利用していません。

遠い昔、基本的に何十年の経験と何が上手くいくかの感覚をもった設計者が試行錯誤することで、コネクタは設計されていました。しかし、4回以上の試作サイクル（試作のコネクタの作成、テスト・ボードの組み立て、測定の実行）を行い、1年以上の設計期間が必要になる可能性がありました。

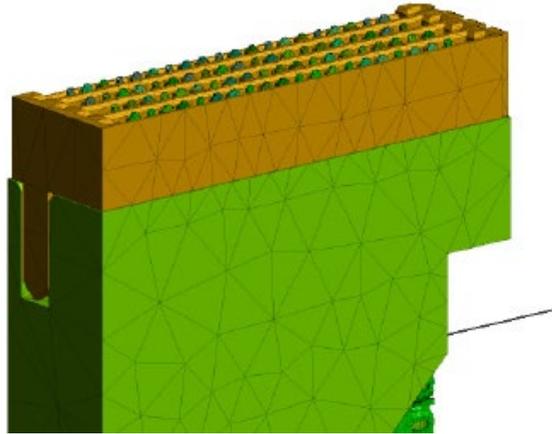


図 2: ハイスピード・コネクタ

解析用のソフトウェア・ツールが使用可能になると、機械系設計システムでコネクタを作成し、その結果の構造を解析することで、この工程を短縮することができるようになりました。これには2つの制限があります。多くの場合、コネクタを正しくメッシュ化して解析できるようにすることは、扱いにくい工程でした。さらに、メッシュ化と解析に必要なとされる計算機の能力は非常に高いものでした。しかし、これにより、コネクタの設計サイクルを6から9ヶ月に短縮することができ、必要な試作が2から3回で済むようになりました。

この時代になると、コネクタはリファレンス・ボードとは別に解析され、ボードのブレイクアウト領域（「ファイナル・インチ」と呼ばれることもある）とコネクタの間に電磁相互作用がないという仮定をして、2つの測定値を結合していました。低周波信号では相互作用は二次的なもので、それらを無視した場合の誤差はわずかでした。

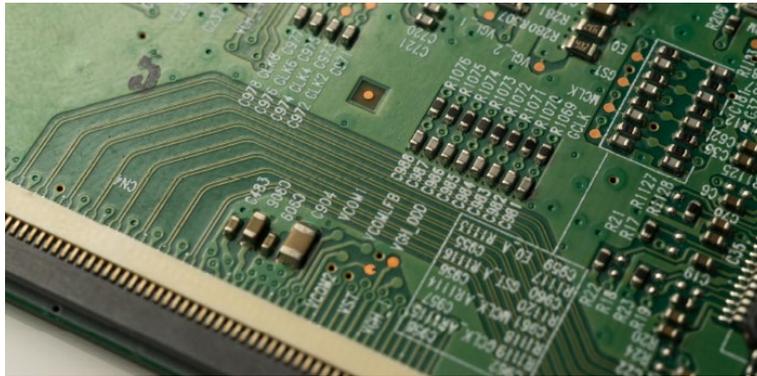


図 3: Connector-PCB interface

112G（および56G）SerDesの接続では、信号のエンコードはPAM4で高周波です。信号レートは56Gシンボル（または28G）／秒です。しかし、エンコーディング方法が与えられたデータとクロックを回復するには、より高い周波数の信号もきれいに転送することが必要となります。しかし、多くのコネクタは、機械的に圧入されていて電氣的に大きいため、あまり良いとは言えません。ピンは必然的に互いに近接し、シールドが無い、もしくは限定的にシールドされています。クロストークは、動的でイコライザーでは対応できないために、特に難しい問題といえます。リターン・ロス（コネクタで反射されレシーバーに届かない信号のエネルギー）は、コネクタ設計者が最小化しなければならない、もう1つの課題です。さらに、これらの周波数では、コネクタとボードを別々に解析しそれらを結合するという仮定は、もはや十分では

ありません。ボードとコネクタ間では、別々に解析することではとらえきれない多くの相互作用が存在し、もはや、これらを見捨てることはできません。

コネクタ設計の現代的なアプローチは、Clarity Solver のようなフル 3D 解析ツールを使用して、試作をずる代わりに、「コンピューター上で」可能な限り多くの設計を行うことです。Clarity Solver (クラウド・データ・センターで利用可能な大規模なレベルの並列化の利用が可能) は、精度を損なうことなく解析で求められるウォール・クロック時間 (実際の実行時間) を大幅に削減することができます。これは、最も重要な要望です。正しくない結果を出力することは、妥協点としては不十分です。

もちろん、最終的には少なくとも 1 回の試作を行い、実測値を確認することは必要です。これにより、コネクタの設計サイクルを 6 か月未満に短縮することが可能になります。Clarity Solver を使用することで、高品質のコネクタと関連するリファレンス・デザインの設計および、製造後の動作を正確に予測することが可能になります。

Putting Analysis and Layout Together in Practice

実際の 112G システムをまとめる設計者は、複数のドメインを同時に扱う必要があります。システム設計者は、通常、適切なコネクタを選択します。カスタムなコネクタを設計することは、時間とコストがかかります。

また一方で、コネクタと PCB を一緒にモデル化するために、依然として Clarity Solver を使用する必要があります。これには、物理的レベル実行する必要があります。コネクタはボードに接続する必要があり、通常、ピンは PCB 上のある種のビアを通るからです。そして、シグナル・インテグリティの課題を解析するために、これは電磁氣的に実行する必要があります。

設計者としては、112G のシグナル・インテグリティの制約を満たしながら、低コストの材料で構築された可能な限り少ない層数のボードを希望すると思います。ケイデンスの Allegro®テクノロジーと Clarity Solver は、PCB ストラクチャを新たに描くことなく Clarity Solver で最適化された PCB ストラクチャを Allegro technology に編集できるようにリンクされています。これにより、設計者およびシグナル・インテグリティのエンジニアが簡単になるだけでなく、解析されたデザインと作成されたデザインが実際に同じものであることが保証され、可能性のある他のエラーを回避することができます。

Signal Integrity for 112G

ケイデンスのアプローチでは、112G の長距離デザインのシグナル・インテグリティの課題とパワー・インテグリティの課題を処理し、信号経路のさまざまな部分の相互作用を含めて IR ドロップおよび EM の問題を正確に計算します。この解析は、設計のすべてのステージ (SerDes トランスミッタとレシーバー、パッケージ、ボード、コネクタ) で用いることが可能です。

ケイデンスの Intelligent System Design™アプローチでは、シームレスに連携する多くの設計ツールおよび技術が取り入れられています。この例では、ボード、パッケージの設計解析に 112G SerDes IP、Sigrity IBIS-AMI モデリング、Clarity 3D Solver、Sigrity Signal Integrity Analysis、Sigrity Power Integrity Analysis および、Allegro テクノロジーがシームレスに連携しています。このツールの組み合わせにより、コネクタ、ケーブル、および、バックプレーンを含む厳しい環境であっても、現在の最速なシリアルリンク速度で動作するシステムの設計を成功するように、ケイデンスの計算ソフトウェアの専門知識を活用することが可能となります。



cādence[®]

ケイデンスは、電気・電子設計におけるグローバルな革新を可能にし、今日のエレクトロニクス製品を生み出すために重要な役割を果たしています。お客様はケイデンスのソフトウェア、ハードウェア、知的財産 (IP)、ノウハウを活用して、今日のモバイルアプリケーション、クラウドアプリケーション、コネクティビティアプリケーションを設計、検証できます。www.cadence.com/jp

© 2020 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence および Cadence ロゴは Cadence Design Systems, Inc. の米国またはその他の国における登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。 13812 03/20 SA/RA/PDF