

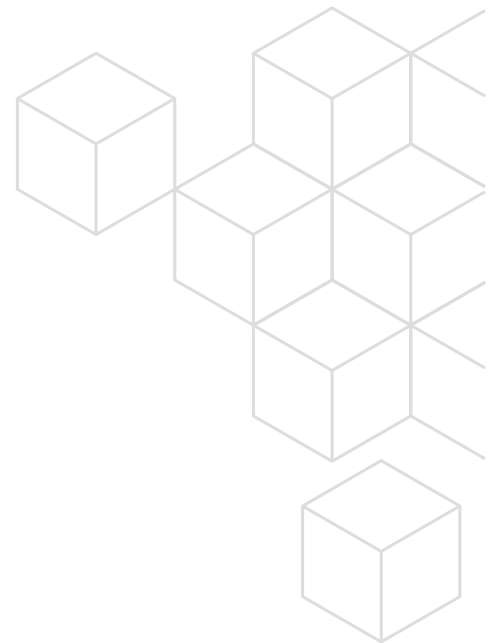
Addressing the “Power-Aware” Challenges of Memory Interface Designs

By Cadence

メモリ・インターフェイス設計における困難な課題の1つは、同時スイッチング信号による電源／グラウンド・レールの変動を考慮しながら、タイミングを精度よく測定することです。シグナル・インテグリティ (SI) のエンジニアは、高速メモリ・インターフェイスの解析時に信号と非理想電源／グラウンドの影響を考慮する「power-aware」SI 解析（電源を考慮した SI 解析）の機能をますます必要としています。このホワイト・ペーパーでは、I/O のモデリング、インターコネクットのモデリング、シミュレーションおよび解析に関連する power-aware SI の課題に対応するための最新のツールの使用法について紹介します。

目次

Introduction.....	2
Power-Aware I/O Modeling.....	4
Interconnect and PDN Modeling.....	7
Simulation Environment.....	8
Post-Processing and Analysis of Results	10
Summary	12



Introduction

メモリ・インターフェイスは、チップ・レベルからパッケージ、ボード、さらに複数ボードにわたり、シグナル・インテグリティのエンジニアの意欲をかき立てます。DDR3 および DDR4/LPDDR4 の速度は、前世代のインターフェイスよりも小さい電圧振幅で、マルチ・ギガビットの平行・バス・インターフェイスに対応しています。現在の DDR4 データ・バスのデータ・レートは、PCI Express® (PCIe®) の当初のデータ・レートと同じくらい (2133Mbps および 4166Mbps) です。DDR4 I/O の構成は、これまで SerDes の設計で使用されてきた構造と似ています。信号の送信はまだシングルエンドですが、データ・バスはポイントツーポイントのトポロジーに移行し、コントローラー側のインターフェイス、フィードフォワード・イコライゼーション (FFE、即ち、プリ・エンファシス/ディ・エンファシス) がさらに一般的になっています。電力設計の面では、スマートフォンやタブレット、IoT (Internet of Things、モノのインターネット) などのモバイル・デバイスの製品に適合するように、LPDDR4 システムは超低電圧による信号送信を利用しています (LPDDR3 では 1.2V ですが、LPDDR4 では 300mV となります)。メモリ設計のこれらの新しい課題により、最新のメモリ・インターフェイス設計ではエラーの余地がありません。

メモリ・インターフェイスの設計は、常にタイミング・クロージャ (タイミング収束) に関係しています。各データの信号タイミングは、データがストロブの立ち上がりエッジと立ち下がりエッジの両方でキャプチャできるように、関連するストロブ信号と比較する必要があります。この理由からダブル・データ・レート (DDR、double data rate) と言われます。データ・レートが 2Gbps を超えるようになると、各立ち上がりエッジと立ち下がりエッジに関係したタイミング・マージンが大幅に小さくなります (図 1 図 1)。

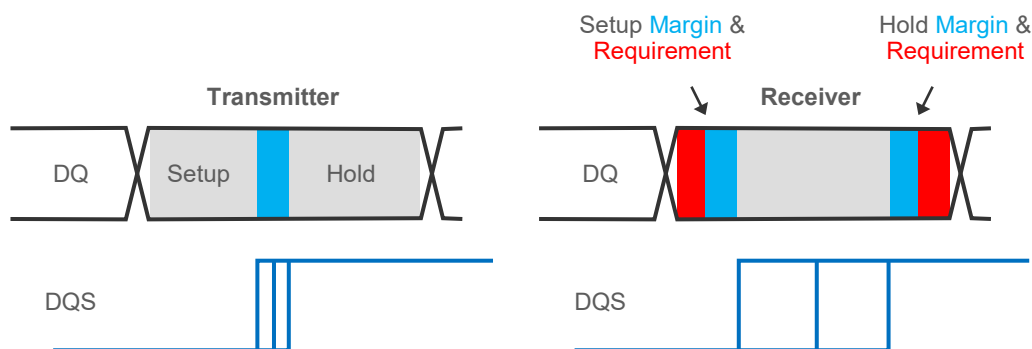


図 1: ソース同期のタイミング

しかし、近年の一番の課題は、信号の同時スイッチングにより生じる電源線とグランド線の変動を考慮してタイミングを正確に測定することです。ワースト・ケースでは、データ・バスのすべての 64 ビットが同時に遷移して、PDN 間の電流の瞬間的な大きな変化が遷移信号のタイミング・マージンに影響するほどの電圧レベルの変動を生じます (図 2)。これらの信号のスイッチング変動は、多くの場合、タイミング「プッシュアウト」(push-out) や「プルイン」(pull-in) と呼ばれます。データのセットリングからストロブの遷移の間の時間が長すぎると、データの品質に影響を与えるかもしれない準安定状態となる可能性があります。

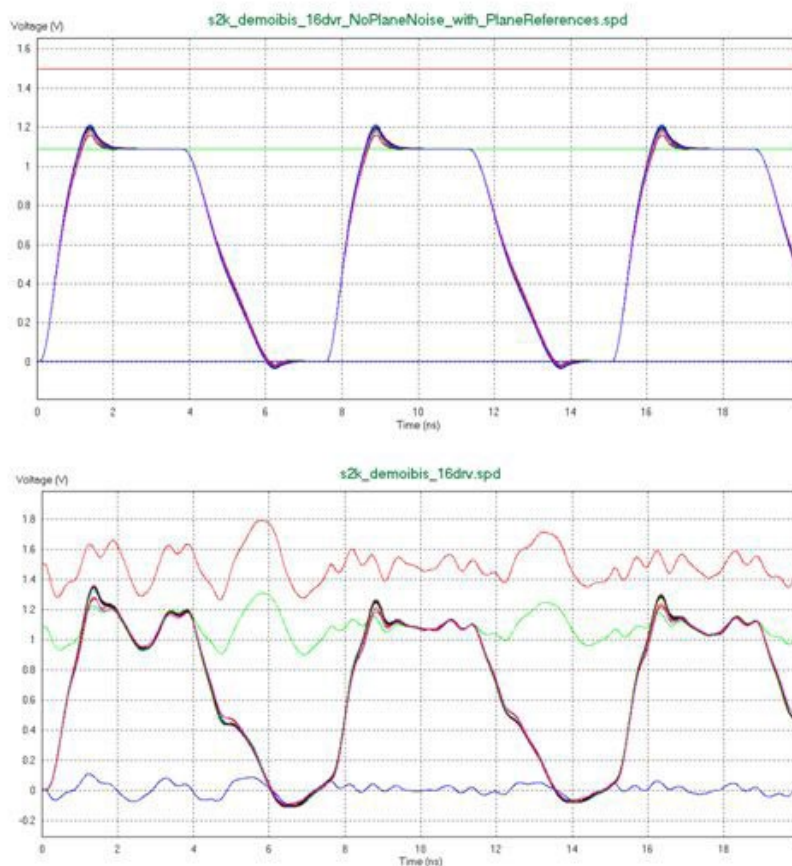


図 2: 理想的な PDN および非理想的な PDN を仮定したときの信号波形

同時スイッチング・ノイズ (SSN、simultaneous switching noise) の影響の特性評価には、送信バッファと受信バッファおよび、その間のすべてのインターコネクトを含む、システム・レベルのトランジェント解析が必要です。SPICE の場合とは異なり、実際の回路ではグローバルなグラウンド (ノード 0) が適用されず、すべての信号はローカルなパワー／グラウンド・パッドを参照する場合があります。したがって、このシステム・モデルには、インターコネクトだけでなく関連する PDN を含める必要があります。

システムのインターコネクトには、アクティブなシリコンの送信バッファから外部のダイ・パッド、パッケージ、PCB、場合によってはマザーボードへのオン・チップのパスが含まれ、同じコンポーネントがシステムの受信側にも存在します。通常、システムのオン・チップの部分は、空間的に分布を表す集中定数 RC (近年は RLCK) SPICE 回路としてモデル化されます。低速向けのパッケージは RLCK の集中定数モデルとして表現され、高周波向けのパッケージは S パラメータで表されます。PCB は集中定数素子モデルにより表現するには非常に大きく、一般に S パラメータが用いられます。これらの非集中定数型の広帯域な周波数領域モデルは、非線形バッファが含まれていない場合でも、トランジェント・シミュレーションの実行を難しくします。

ほとんどの SI ソフトウェアは SSN のタイミングへの影響が無視できる時代に誕生していることから、多くのツールは、理想電源／グラウンド・レールを想定して SI 解析を実行します。しかし、マージンが非常に厳しくなると、理想電源／グラウンドを想定した場合はプロトタイプの実験の失敗の原因にもなり、さらに悪い場合は、実際の製品ハードウェアにおけるデータ品質の問題を生じる可能性があります。

現在、経験豊富な SI エンジニアは、非理想電源／グラウンドおよび信号の影響を考慮してメモリ・インター

フェイスを解析することを強く求めています。今日、これは「power-aware」（パワー・アウェア、電源を考慮した）SI 解析と呼ばれています。I/O バッファのモデリングは、改善された IBIS 規格 (IBIS 5.0+) に準拠することができ、power-aware IBIS モデルを用いることで、SI ツールは信号だけでなく電源およびグランドに接続された寄生情報を考慮することが可能になります。DDR4/LPDDR4 インターフェイスがシリアル・リンクの特性を持つようになり、DDR4 JEDEC の仕様 (図 3) がターゲットの BER (もともと SERDES インターフェイス向けの仕様) を指定することを考慮すると、従来マルチ Gbps に用いられていた解析技術を DDR4 デザインの解析に適用することも考えなければなりません。

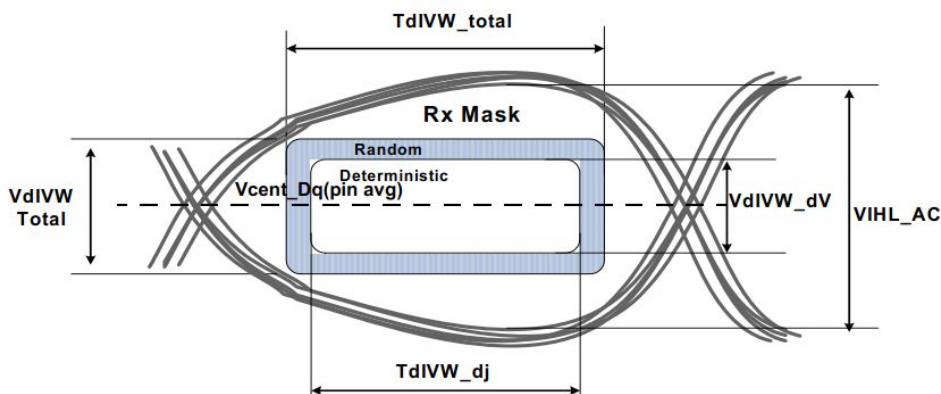


図 3: DDR4 測定についての JEDEC の仕様に準拠する DQ レシーバのマスク

このホワイト・ペーパーでは、今日のハイスピード・メモリの power-aware SI に関する I/O のモデリングやインターコネクタのモデリングから、シミュレーションや解析の課題について紹介し、これらの課題への近年のツールによる使用方法について説明します。

Power-Aware I/O Modeling

送信バッファおよび受信バッファは、ファブやファブレスの両方の設計会社にとって、とても重要な IP です。これらは、セル・キャラクタライゼーションのソフトウェアにより詳細なネットリスト・レベルから抽出されるか I/O 設計者によって手作業で慎重に作成されます。これらのモデルは暗号化され、厳しい機密保持契約の下でのみ配布されます。これらのバッファ回路は、理想的な集中定数型の負荷であっても、SPICE シミュレーションの収束が遅いという問題があります。

フル・バスの SSN の特性評価では、広帯域な周波数領域モデルと組み合わせた、数百、場合によっては文字通り数千のトランジスタが必要となります。このようなシミュレーションは膨大なリソースを必要とし、さらに、SPICE の収束の問題に敏感です。一般的なシミュレーションにかかる時間は、高性能コンピュータ・プラットフォームで実行されて、2 桁もしくは 3 桁のギガバイト単位のメモリ消費量で、日単位で測定されます。

システム・レベル SI シミュレーションでは、トランジスタ・レベルのネットリストではなく、IBIS バッファ・マクロモデルが一般的に使用されます (図 4)。トランジスタ・レベルのシミュレーションと比較して、シミュレーションの実行時間およびメモリの消費や収束の問題が飛躍的に削減されます。しかし、バージョン 4.2 やそれ以前の場合、適切に電源/グランド・バッファの電流を考慮する仕組みが無かったため、IBIS モデルは SSN シミュレーションに対応できないことが広く知られていました。

IBIS 5.0 では、この問題に対応するための機能追加が行われました。BIRD-95 と BIRD-98 と呼ばれるアップデートが仕様に追加され、電源の電流と PDN 電圧ノイズに関するそれらの変動のモデル化が可能となりました。これら 2 つのアップデートによりバッファの電源電流の正確なモデリングが追加され、IBIS 5.0 準拠のモデルをフル・バスの SSN の特性評価に適用することが可能となりました。

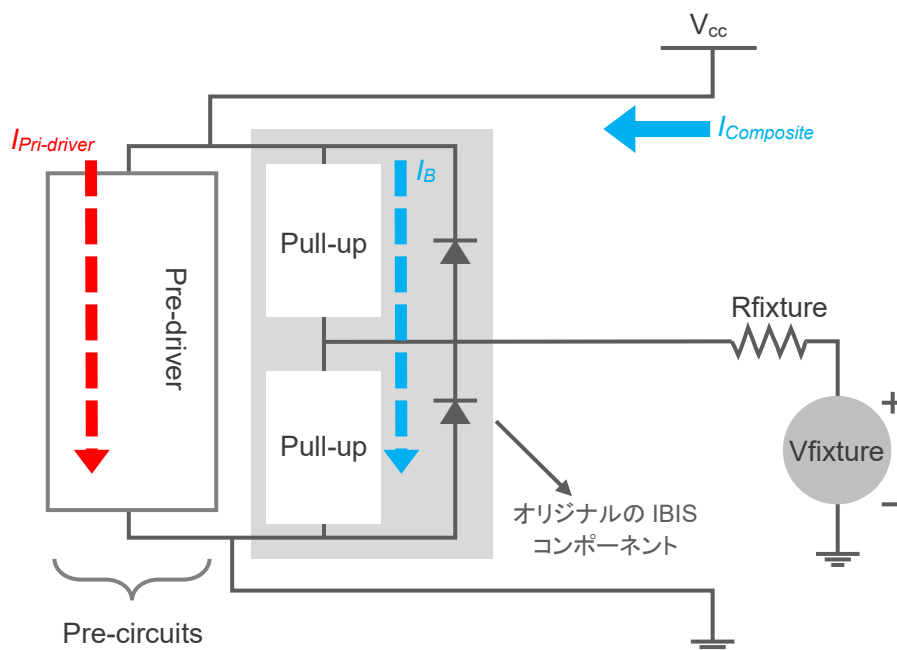


図 4: ビヘイビア I/O モデルの構成図

すべての SI ソフトウェアが power-aware SI 解析が可能な IBIS 5.0 バッファ・モデルのアプリケーションをサポートしているわけではありませんが、この機能はますます一般的になっています。今日、トランジスタ・レベルのバッファ・モデルから IBIS5.0 の動作マクロモデルへの変換をサポートする商用ソリューションが利用可能です (図 5)。

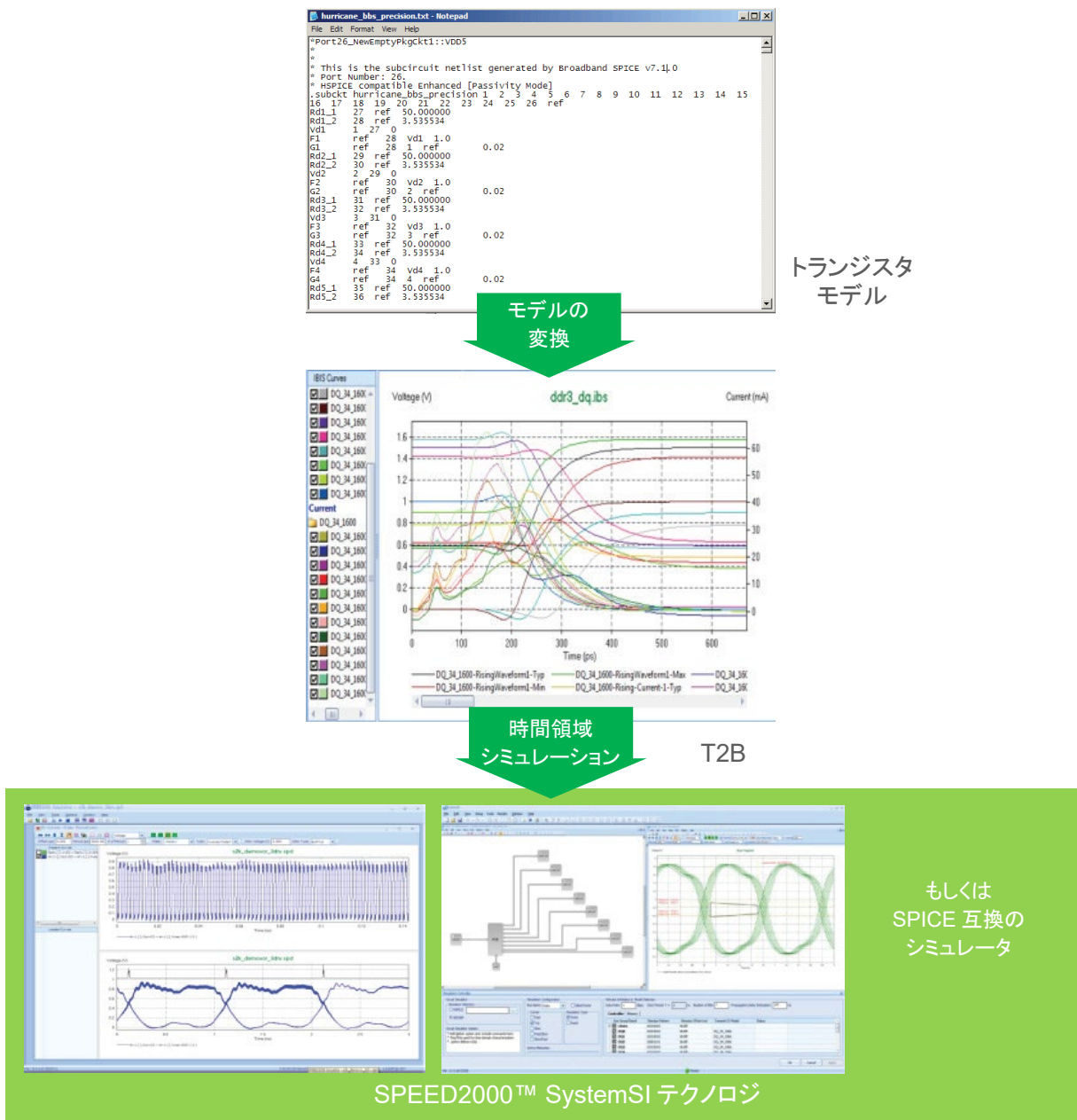


図 5: Cadence® Sigrity™ Transistor-to-Behavioral (T2B™) I/O モデル変換

これらは、独自の IP をもつファブ、ファブレスの設計会社、トランジスタ・レベルのモデルのみが提供される設計者も簡単に適用することができます。半導体ベンダー側は IBIS 5.0 モデルの提供を進めています。そのようなモデルが半導体ベンダーのウェブサイトから入手できない場合、機密保持の下で社内での利用や設計者への配布が可能な場合があります。IBIS 5.0 バッファ・モデルは、トランジスタ・レベルのネットリスト（暗号化されたネットリストの場合も）に存在する IP の感度の問題に対処し、プロセス・パラメータを開示する必要がなくなります。

DDR4 および LPDDR4 インターフェイスのシリアル・リンクの設計手法の導入により、上記のシミュレーション・ソリューションでは十分ではありません。DDR4 と LPDDR4 デバイスの設計変更を維持するためには、コントローラの FFE フィルタリング機能を正確にキャプチャできるように、対応する I/O モデリング方式を純粋なアナログから Algorithmic Model Interface (AMI) へと移行する必要があります。

Interconnect and PDN Modeling

power-aware SI メソッドロジックを実現する上での大きな課題の 1 つは、PCB などのインターコネクットの抽出とモデリングです。歴史的に、これは、信号をトレースする伝送線路モデル（即ち、SPICE W エレメント）を抽出することで実行されてきましたが、これは、信号トレースが無限の固体基準平面に隣接して配線されていると仮定して行われています。多くの場合、信号ビアは、高速なクロズド・フォームのアプローチを用いて、自己の寄生情報のみをもつ孤立したカップリングのないオブジェクト（即ち理想リターン・パス）として、モデル化されます。このような手法は、コンピュータの計算の観点から比較的安価な抽出を可能にするため、数学的に非常に便利です。しかし、このアプローチは PDN では完全に無視するため、シミュレーションでは望ましくない「理想電源」の条件を前提とし、シミュレーションの結果に PDN の影響が含まれません。

PDN を抽出プロセスに組み込むことは大きな課題です。これには、一般に電源とグランド・プレーンを構成する銅のシェイプ、それらを通るビア、信号とトレースへのカップリングの抽出が含まれます。これらのビアは、基本的に放射形状の伝送線路として機能し、並行板プレーン構造を励起し、チップに供給される電源を乱し、信号にノイズを与えます。

デカップリング・キャパシタ（バイパスコンデンサ）もモデル化し抽出に組み込む必要があります。外部から PCB に電力を供給する電圧レギュレータ・モジュール（VRM）のモデルも必要です。抽出の問題が「信号とビア」から「信号、プレーン、および、ビア」に拡大されると、これまで使用されてきた単純な伝送線路の抽出技術は適用が困難になり、問題にはある種のフル・ウェーブ・ベースのソリューションが必要です。

従来型のフル・ウェーブ・フィールド・ソルバは、（計算上の）単純化の仮定なしに、マクスウェル方程式のフルセットを処理します。フル・ウェーブ・エンジンはこれまでに議論しているすべての構造を確実に処理することができますが、大きな計算コストがかかります。一般的な設計スケジュールの実際的な観点から、純粋なフル・ウェーブの技術を使用した場合、数個の信号と PDN の一部のみの抽出が可能です。これは、小さな部分では非常に精度があったとしても、power-aware SI の問題に必要な規模のモデリングに対応することが困難です。一般に要望されることは、同時スイッチング出力（SSO）の累積的な影響を考慮するために、かなりの数のバス信号（例えば 16 や 32 など）を含めることです。

スタック・アップからの電源プレーンとグランド・プレーン、および、関係するデカップリング・キャパシタを含む、バスの PDN 全体を抽出する必要があります。この規模の抽出やモデリングを実行するには、異なるアプローチを取る必要があります。

現在、この困難な問題を独自の方法で対応する技術が利用可能です。特許取得済みの「ハイブリッド・ソルバ」技術を使用して、レイアウトは、トレース、ビア、プレーン、および、回路（例えば、デカップリング・キャパシタのモデル）に分割されます。これらの要素は、それらの構造に最適化された特別に調整されたソルバに送られ、それらの結果は包括的な S パラメータに統合されます。この技術はほぼフル・ウェーブの精度を提供すると同時に、非常に大規模な問題を妥当な時間内に処理することを可能にします。これらの S パラメータは、時間領域で直接シミュレーションされるか、オプションで BroadbandSPICE モデルに変換し、さらに優れた時間領域シミュレーションのパフォーマンスを得ることができます（図 6）。

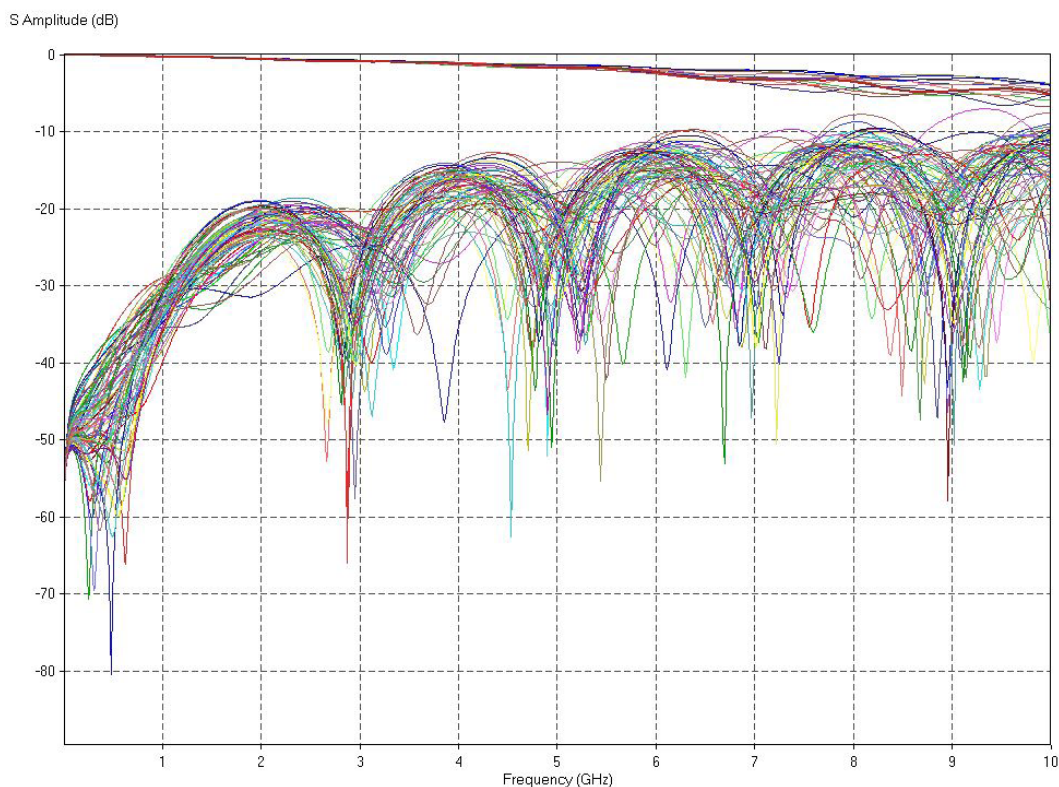


図 6: Sigristy PowerSI™テクノロジーで抽出された PCB の S パラメータ

Simulation Environment

power-aware SI の観点からのシミュレーション環境に関する課題は、バスのモデリング、時間領域のシミュレーション自体、結果のポスト・プロセッシングなど、いくつかのカテゴリに分けることができます。I/O、デカップリング・キャパシタ、パッシブなインターコネクトのモデルが可能になると、バス・モデリングの課題が生じます。この時点で、シミュレーションの対象となる関心のあるバスのダイからダイのトポロジー全体の構築や描くことが必要です。多くの場合、チップ、パッケージ、ボード・ファブリック全体でバスを簡単に視覚化できるような回路図環境で実行することが便利です。

回路図環境では、解析を手助けするための機能がいくつかあります。その 1 つが階層接続です。これは、従来の回路図ベースのツールに見られる「wire-by-wire」(ワイヤ・バイ・ワイヤ) による接続とは対照的です。個々の配線が回路図の端子から端子に示されているワイヤ・バイ・ワイヤの接続は、より小さなトポロジーにおいてうまく機能します。しかし、各モデルで複数の電源とグラウンドの接続と共に結合された信号の大きなグループをモデル化することに目を向けると、このアプローチはすぐに実現困難になります。階層接続のアプローチでは、単一の信号の接続のみがモデル間に表示され、詳細な配線は 1 つ下の階層で使用可能です。これにより、解析のための非常に大きなバス・トポロジーを簡単に構築することが可能となります (図 7)。

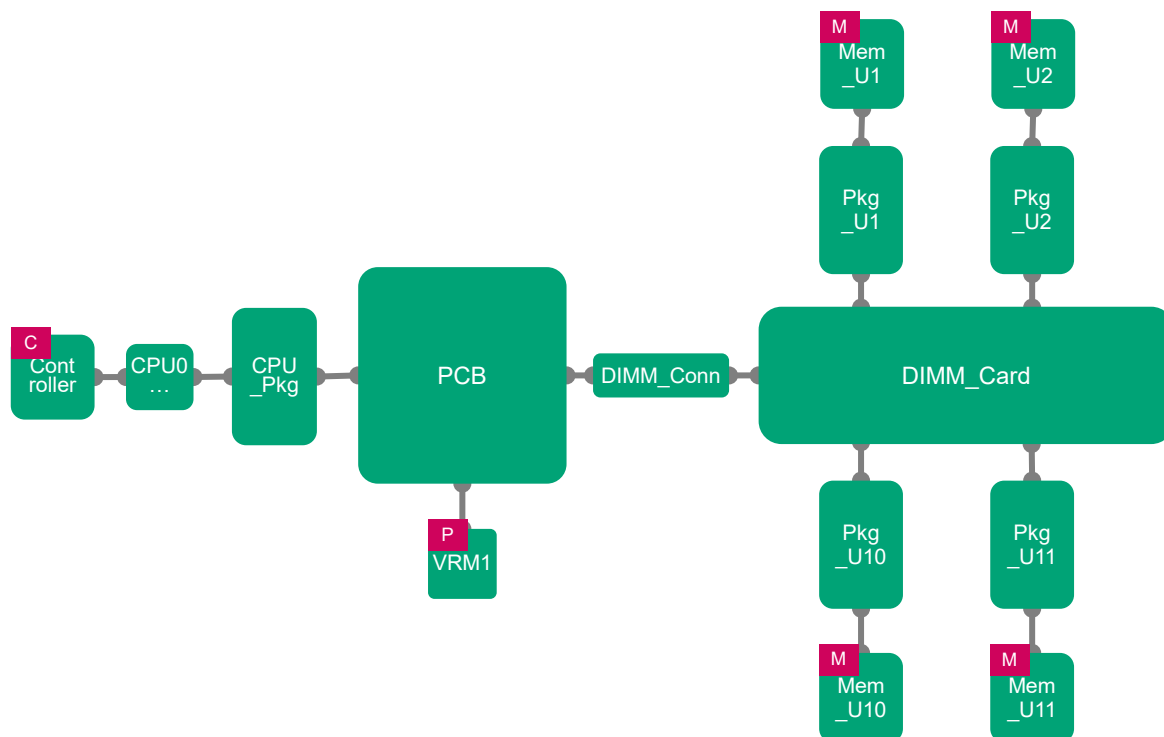


図 7: Sigrity SystemSI™ technology でのバス・トポロジーの表現

シミュレーション自体は、これは簡単なように見えますが、いくつか考慮すべき点があります。歴史的に、SI ツールはバス・レベルの問題を複数の断片的な部分に分けてしました。例えば、個々の信号を結合されていない単一ラインのシミュレーションを実行して遅延データを収集し、バスの他の部分的に結合されたサブセットを実行してカップリングに関する影響を収集し、その後、すべての結果を結合します（通常、SSO は完全に無視されます）。この種の分割統治のアプローチは、マージンが比較的大きい場合には十分に機能しましたが、2.133Gbps の DDR4 デザインなど、データ・レートが 1Gbps を超える現在の DDR データ・バスのマージンは、これらの手法が一般に展開されていた往年の 333Mbps DDR データ・バスのマージンとは大きく異なります。

ハードウェアにおいて、反射と符号間干渉 (ISI, Inter-Symbol Interference) はクロストークや SSO とは無関係に生じません。これらは、すべて一緒に生じ、それぞれが他に影響を与えます。これらを明確に分割することは困難です。シミュレーションは、ハードウェアの動作をより厳密に再現することが必要で、要約すると、バス構造全体を 1 つの大きなシミュレーションで実質的に実行することが必要です。このようにして、これら主要な影響の間のすべての相互作用や相互干渉が結果に含まれます。このアプローチの別の利点は、ラボでオシロスコープを使って測定するのと同様の方法で、直接、生のセットアップおよびホルドの測定が可能になることです。

DDR4 と LPDDR4 の規格ではターゲットの BER が規定されているため、時間領域の従来型のバス・シミュレーションではこの要件を満たすことができません。チャンネル解析ツールをシリアル・リンク・デザインに使用する場合と同様に、チャンネル解析ソリューションをデータ・バスに適用することで、(二重の統計的なポスト・プロセッシングにより) バスタブ曲線を生成可能な詳細なアイ分布が生成されます。バスタブ曲線からは、パラレル・メモリ・インターフェイスやシリアル・リンクの設計に関係なく SI エンジニアや設計者が実際に必要とする、インターフェイスの BER 性能に関する重要な見識を得ることができます。

Post-Processing and Analysis of Results

シミュレーション結果が得られたら、次の課題は、測定とレポートを生成しタイミングを調整するために、結果波形のポスト・プロセッシングを自動化することです。DDR メモリ・インターフェースの最新の JEDEC の仕様では要求される測定が多数あります。これを総合的に実行するには、すべてのサイクルで信号ごとの測定を実行する必要があります。これにより迅速に大量のデータが生成され、データのプロットは、多数の行を持ったスプレッドシートを生成するだけでなく、デザインの評価に非常に役立ちます。

ポスト・プロセッシングのもう 1 つの重要な側面は、セットアップ・タイムとホールド・タイムの低減を自動化することです (図 8)。

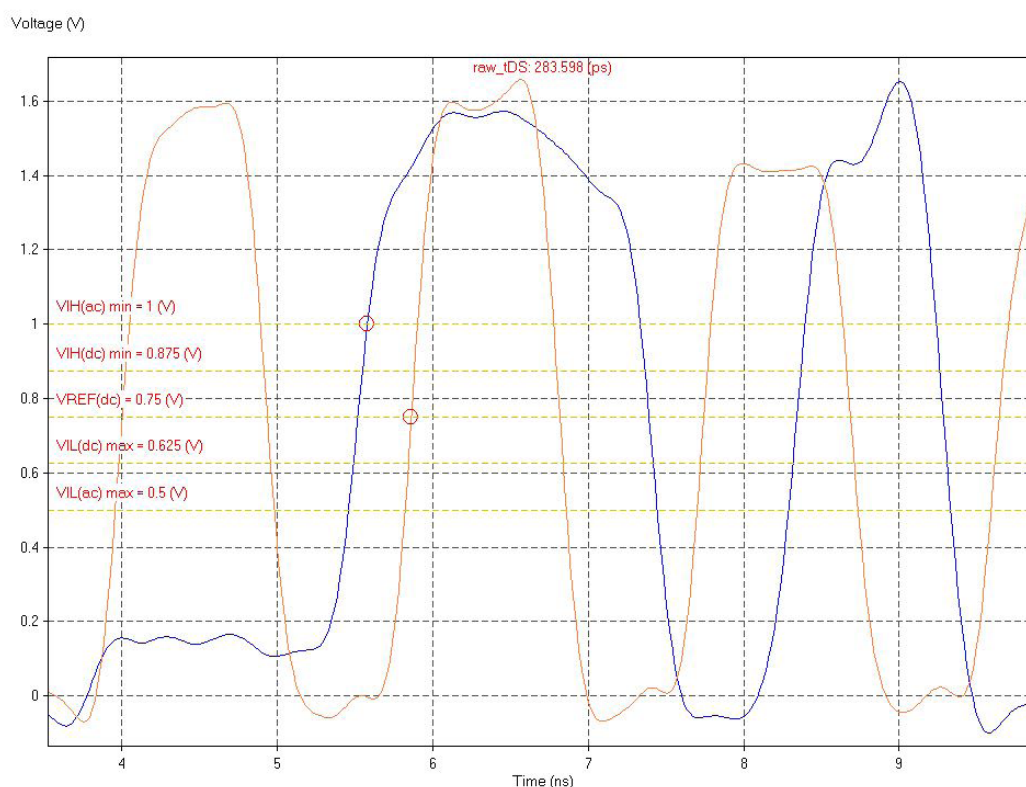


図 8: セットアップの測定

JEDEC の仕様に従って、基本のセットアップ/ホールドの要件に加えて、メモリで要求されるセットアップ/ホールドの時間の大きさは、信号のスルー・レートにより決定されます。データ・バスの場合にこれが意味することは、データ信号とストロブ信号のスルー・レートを各サイクルで自動的に測定する必要があるということです。次に、データのこれら 2 つの要素から、ルックアップ・テーブルは、そのサイクルに適用される増加のセットアップ/ホールドの差分を提供し、そのサイクルに対する最終的なセットアップ/ホールドのマージンを算出します。これは、すべての信号に対して各サイクルで繰り返す必要があります。繰り返しますが、データ量は非常に速く蓄積されるため自動化することが重要です (表 1)。

Delta tDS (ps) -AC250 tDS Derating Values for DDR2-400/533										
DQS Single-Ended Slew Rate (V/ns)										
		2.0V/ns	1.5V/ns	1.0V/ns	0.9V/ns	0.8V/ns	0.7V/ns	0.6V/ns	0.5V/ns	0.4V/ns
		Delta tDS	Delta tDS	Delta tDS	Delta tDS	Delta tDS	Delta tDS	Delta tDS	Delta tDS	Delta tDS
DQ Slew Rate (V/ns)	2.0	188	167	125						
	1.5	146	125	83	81					
	1.0	63	42	0	-2	-7				
	0.9		31	-11	-13	-18	-29			
	0.8			-25	-27	-32	-43	-60		
	0.7				-45	-50	-61	-78	-108	
	0.6					-74	-85	-102	-132	-183
	0.5						-128	-145	-175	-226
0.4							-210	-240	-291	

表 1: ディレーティング・テーブル

大量のデータを処理してタイミングを調整するには、自動処理のレポート機能では、データをポスト・プロセスして、以下のような重要な結果を示すための合理的なサマリーを出力することが必要です。

- ▶ アドレス/コマンドおよびコントロール・バス、さらにメモリ・デバイスのデータ・バスの「書き込み」トランザクションの正の値のセットアップ/ホールドのマージン
- ▶ データ・バスの「読み込み」トランザクションについて、スキューの要件がコントローラーで満足されていること
- ▶ ストローブからクロックのスキュー要件が満足されていること

DDR4 および LPDDR4 のシミュレーションでは、チャンネル解析の結果から生成される追加情報により、アイのマスクとそのマージン、バスタブ曲線や BER の結果を観測することができます。

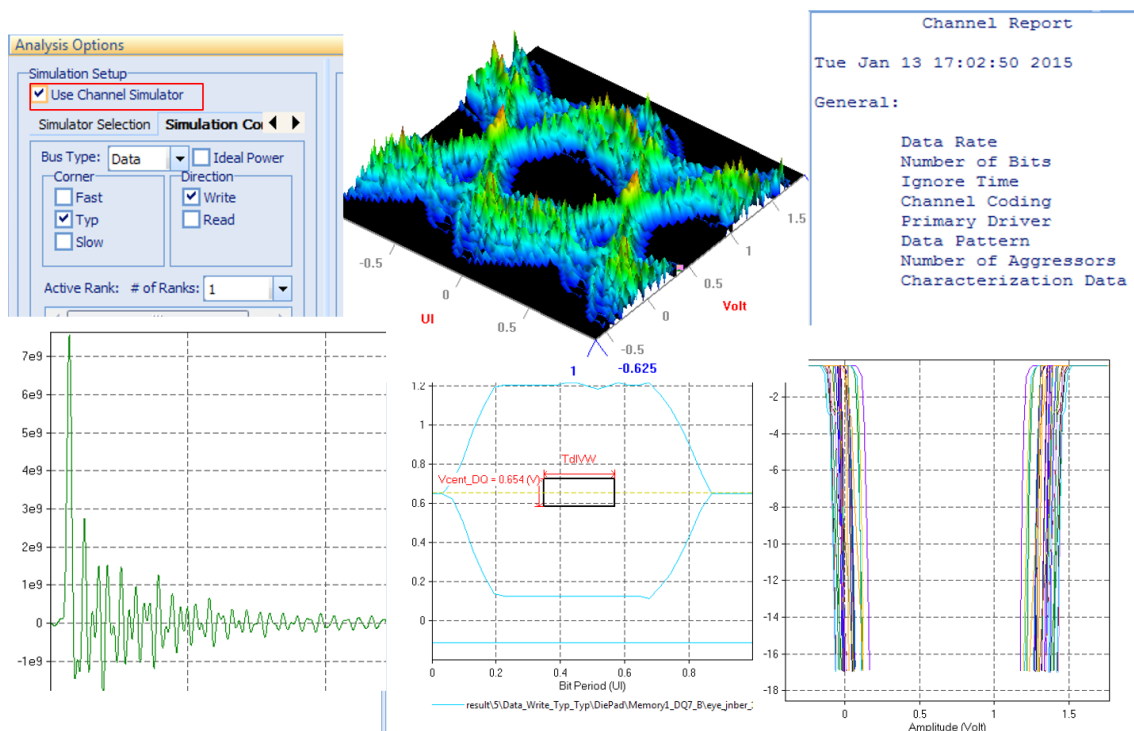


図 9: シリアル・リンク・シミュレーションの手法を適用した DDR の power-aware SI 解析

Summary

理想電源の場合の SI から power-aware SI メソドロジーに移行するには、モデリングとシミュレーション技術についていくつかのアップグレードが必要です。さらに、最新のメモリ・システムの適切な SSN の特性評価が必要となります。

重要な成功要因は、電力を考慮した I/O モデリングで、これにより、大規模なサーバーで数日ではなく、ラップトップで数分のうちに SSN のシミュレーションが可能となります。幸いにも、IBIS 5.0 以降のリリースから、これを実行できるための業界標準の方法があり、トランジスタ・レベルのネットリストからこれらのモデルの生成を自動化するツールを活用することが可能です。システム・エンジニアによる需要は、コンポーネント・サプライヤから、これらの I/O モデルの広範囲な有用性を迅速に推し進めます。

インターコネクタや PDN の抽出を効率的に実行するツールは、マーケットで長年にわたり利用することができています。さらに、DDR3 や DDR4 の設計の数が時間と共に増加するにつれて、SI アプリケーションのメインストリームになりつつあります。今日の困難なインターフェイスを解析するために、シミュレーション環境では、複雑なバス・トポロジーの処理や総合的なシミュレーションの実行、高度に自動化されたポスト・プロセッシングの高度化が求められます。

このホワイト・ペーパーで紹介したように、SI エンジニアは、完全なモデル・ライブラリや先進的なツール、および、エンジニアの専門知識を組み合わせることで、近年の最新のバスやデータ・レートについての課題に完全に対処する方法を持つことができます。



cadence[®]

ケイデンスは、電気・電子設計におけるグローバルな革新を可能にし、今日のエレクトロニクス製品を生み出すために重要な役割を果たしています。お客様はケイデンスのソフトウェア、ハードウェア、知的財産 (IP)、ノウハウを活用して、今日のモバイルアプリケーション、クラウドアプリケーション、コネクティビティアプリケーションを設計、検証できます。www.cadence.com/jp

© 2020 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence および Cadence ロゴは Cadence Design Systems, Inc. の米国またはその他の国における登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。 13812 03/20 SA/RA/PDF