

最良なPPA結果を達成するケイデンスのデジタル設計フルフロー

過去数年間にわたり、ケイデンスは、統合エンジン、超並列処理、早期のサインオフ最適化など主要な機能強化によってデジタル設計ツール環境全体を改良することにより、デジタル設計者が設計上の課題を解決できるように大きな変革をもたらしました。これら全ての機能は、より高速な設計TATおよびクラス最高の消費電力、性能、面積（PPA）の最適化を提供します。FinFETと先端ノードの時代において、これらの変革はお客様が厳しい技術的要件を満たし、達成困難なPPAの目標を満たすチップ設計を可能にしました。これらは、お客様が現在および次世代の製品を設計する際に確実に役立ちます。ただし、ご存じのように、エレクトロニクス・ベースの世界は決して休むことなく、より大きな、より複雑な設計に向けて流れが弱まることはありません。

目次

業界における課題2
統合ソリューションの探究2
統合されたフィジカル設計最適化2
インプリメンテーションにおける マシンラーニングの活用3
新しいロジック最適化テクノロジー4
優れたサインオフクロージャ環境5
まとめ6



業界における課題

ハイパフォーマンス・コンピューティング（HPC）、人工知能（AI）、自動車および5Gなどの分野における新しいインテリジェントな技術の出現により、固有の技術やスケジュールの課題と共に設計の複雑性が上昇し続けています。新しいアプリケーションのアーキテクチャが、現在の設計ツールの限界を押し上げ、PPAのターゲットに対する要件が、以前よりもさらに困難なものになっています。

先端ノードプロセスが、新しいデバイスと製造上の革新を通じて、性能を向上し、消費電力および面積をさらに削減する機会を設計者に提供しています。ただし、それらは容易に達成できるものではなく、従来の設計課題が単に増えるだけでもありません。場合によっては、新規プロセスにおいてまったく新しい課題が発生しますので、それに対応する必要があります。

統合ソリューションの探究

新しいアーキテクチャが開発されるにつれて、デザインを探索する段階で先を見越した推測および設計下流で発生する物理的な様々な影響に関する予測可能性が、システムオンチップ（SoC）設計チームにとって大きな課題になっています。システムレベルの検証ツールでは、実際のユースケースで動作試験できますが、インプリメンテーションツールとサインオフツールレベルの問題は考慮されていません。既存の演算フローアルゴリズムの強みを認識し、それを利用し統一フローを通じて上流設計に組み入れることは、下流設計で発生する問題を軽減するひとつの戦略となります。

統合されたフィジカル設計最適化

SoC設計における継続的な課題に対応するために、ケイデンスは自社の卓越したComputational Software技術を活用し、新しくスマートで革新的な統合デジタル設計フルフローソリューションを構築しています。Cadence® デジタル設計フローには、各ツール内に組み込まれた様々なクラス最高の演算エンジンが使用されており、それぞれ様々な目的で機能しています。これらのエンジンには、ケイデンスのGenus™ Synthesis Solutionのストラクチャリングおよびマッピングエンジン、GigaPlace™配置エンジン、GigaOpt™最適化エンジン、NanoRoute™ Advanced配線エンジンなどが含まれており、いずれも、設計フローの特定の段階において最適化問題を解決し、PPAの目標を満たすために開発された革新的な技術を備えています。設定されている目標を超えてPPAの限界を押し上げるための統一ソリューションを作るためには、世界トップレベルの各演算エンジンをそれぞれの適用範囲を超えて別次元へと拡張させることが必要です。

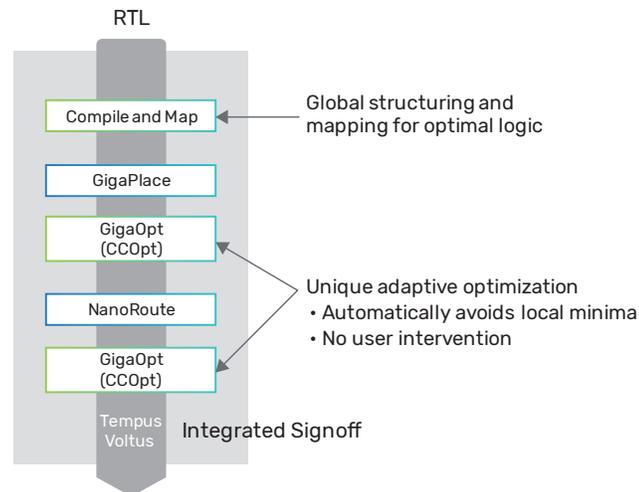


図1: 主な差別化エンジン

Genus Synthesis Solutionのグローバルマッピングおよびストラクチャリング・エンジンには、様々な構造化されたCPUの設計において実証されているように、高度なネットリストストラクチャリングおよび最適化機能があります。

Cadence Innovus™ Implementation Systemのニューメリカル配置エンジンであるGigaPlaceエンジンは、スラック、配線長、ピンアクセス、消費電力など複数の問題を考慮し、配線要件に合わせた最適な配置を行うのに優れており、設計収束をより高速にします。Innovus Implementation System内で使用されているGigaOptエンジンは、局所最適解に陥ることなく、自動的にクラス最高のPPA結果を得ることを可能にする独自のアダプティブな最適化能力があります。

これらのエンジンのテクノロジーを統合することにより、ケイデンスは新しいSpatialフローを作り出しました。

これは、Genus SynthesisソリューションおよびInnovus Implementationソリューションを全体にわたり再設計され統一されたフィジカル設計最適化テクノロジーを備えており、RTL合成からインプリメンテーションまでシームレスに統一されたフィジカル設計最適化フローを提供します。

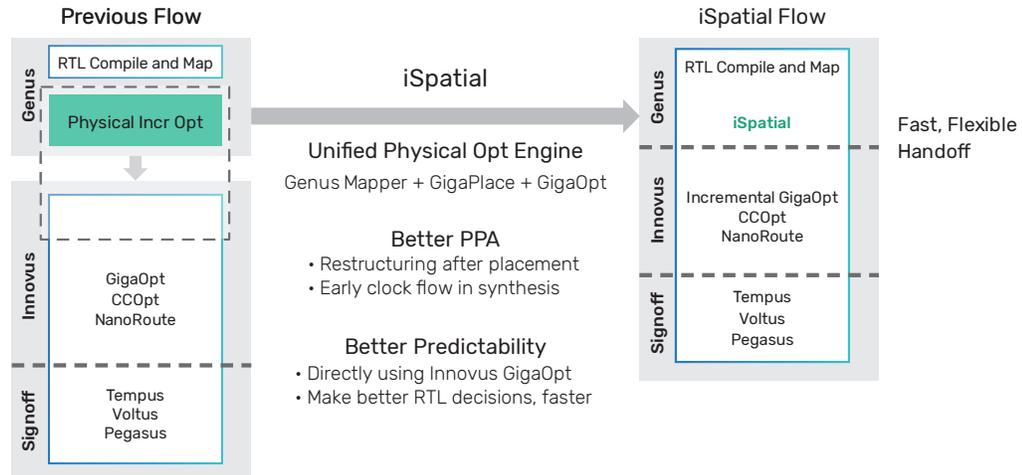


図2: iSpatialフロー

さらに、iSpatialテクノロジーは、高度な「フィジカル・リストラクチャリング」能力を備えており、クロックツリー挿入後も含めたフィジカル設計最適化フローのあらゆる段階で大規模なロジック・リストラクチャリングを可能にします。その結果として、再構成され統一化されたフィジカル最適化フローでは、Genus Synthesis Solutionにおいて最初の配置最適化が行われ、その結果を受けたInnovus Implementation Systemにおいてインクリメンタルな最適化が行われることで設計クロージャが完成します。統一化されたフィジカル設計最適化により、設計者はフィジカル合成においてUseful Skew技術を活用し、PPAをさらに改善することが可能です。

iSpatialテクノロジーによって再構成されたフローは、CPU、GPU、SoC、ネットワーキング、AIコアなど、いかなる設計タイプに対しても有効です。下表の例で実証されているように、ASICネットリスト・ハンドオフや、フロントエンドからバックエンドへの完全なデータ共有およびフロー開発など、あらゆるワークグループ構造に対して最善のターンアラウンド・タイム（TAT）とPPAを提供します。

Signoff	Competing Technology	Cadence Digital Full Flow	Δ%
Fmax to goal	89.4%	98.1%	+10%
Total TAT	300 hrs	240 Hrs	-20%
Scripted	No	Yes	Repeatable

表1: カスタムx86 CPUコア @ 7nm

Signoff	Competing Technology	Cadence Digital Full Flow	Δ%
Fmax to goal	94.7%	97.8%	+3%
Total TAT	81 hrs	44 Hrs	-46%
Leakage	41.62	40.71	-4%
Scripted	No	Yes	Repeatable

表2: カスタムモバイルCPUコア @ 12nm

Signoff	Competing Technology	Cadence Digital Full Flow	Δ%
Fmax to goal	100%	100%	
Total TAT	100%	65%	-35%
Total Power	100%	94%	-6%

表3: モバイルCPUコア 3.5M インスタンス @ 5nm

インプリメンテーションにおけるマシンラーニングの活用

統一されたフィジカル設計最適化に加えて、革新的なディープラーニング・アルゴリズムを活用することで、お客様がクリティカルなブロックの設計における複雑な問題に対応し、PPAを向上するのを支援します。

統合されたデジタル設計フルフローソリューションでは、クリティカルネットの配線前から配線後の遅延相関に関する正確なモデル化のために、マシンラーニング・テクノロジーを使用した遅延予測およびモデリングを行うことにより、設計後の予期せぬ事態を回避するのに役立ちます。ディープラーニング・ベースのトレーニング・インフラストラクチャを使用し、設計フローをトレーニングして関連する情報を取得し、実際のインプリメンテーション実行段階において推論を行います。このテクノロジーにより、設計マージンを減らし、より良いPPAを達成することに役立ちます。

インプリメンテーションフローをカスタマイズして、現在および将来の設計を改善し、設計タイプに応じて最適化された最善のPPAを得るといった利点を享受することが初めて可能になりました。

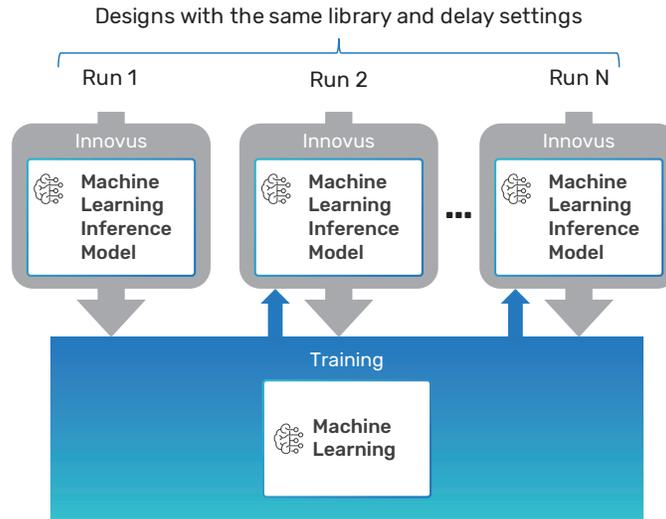


図3：設計フローのトレーニング

Design	Node	WNS	TNS	Power
A	8nm	23%	67%	3.6%
B	7nm	5%	77%	3.4%
	5nm	25%	49%	1.1%
C	12nm	38%	22%	1%

表4：Innovus 19.1 MLによる高性能CPUのPPAの向上

Design	Node	Power	Area
GPU	5nm	8.5%	8.3%
DSP	7nm	3.5%	2.9%
ML	5nm	3.8%	2.7%
Networking	7nm	5.1%	4.4%

表5：削減

新しいロジック最適化テクノロジー

GPU、DSP、AI、ネットワーク設計など次世代IPを開発している設計者は、System Verilogの高度な機能を使用して、RTLを簡素化し、できるかぎりライン数を削減しようと試みます。深いループが組み込まれたRTLコード、アレイ全体での動作、その他の多くの複雑な機能が、これらの新しい設計で共通して使用されています。論理合成において従来のエラボレーションおよびマッピングを使用した場合、結果として大量の組み合わせ論理が新たに生じて、最適なアーキテクチャ選択を行えない場合があります。

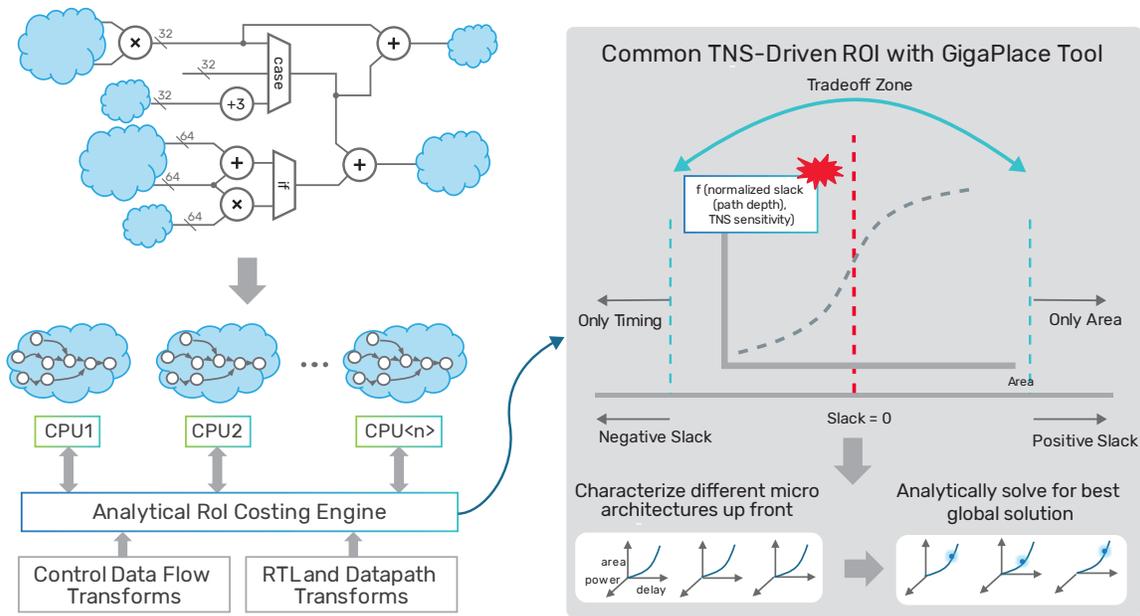


図4：ROIベースの高度なロジック最適化

Genus Synthesis Solutionでサポートされる新しいロジック最適化エンジンは、最新のリリースでPPAをさらに改善します。Compusと呼ばれる高度なストラクチャリング最適化機能は、複雑なコードを読み込み、複数の構造を分析して、与えられた制約セットに対して最適なPPAを提供します。さらに、Innovus Implementation Systemの業界をリードするGigaPlace 配置エンジンで使われているTNSコスト計算と整合性のある、独自のTNSドリブンROIコスト計算エンジンを使用しています。その結果として、最適化に対してより堅牢なネットリスト構造が生成され、面積と消費電力が最も重要なデザインに対して、消費電力と面積を改善します。

優れたサインオフクロージャ環境

次世代の設計が進むたびに、プロセスノードのジオメトリが縮小し、電気的チェックとタイミングチェックにおいて、まったく新しいチェック項目が生じています。特に7nm以下の設計では、設計エンジニアは、ますます高まる配線層の抵抗値と、次世代FinFETデバイスの低電圧動作について注意する必要があります。これらの新しい設計課題により、タイミングサインオフと電圧降下サインオフを分離することができなくなっています。下層のSADP/EUVメタル層の抵抗値の差が増大しており、電圧降下が設計タイミングに与える影響が著しくなっています。先端プロセスノード上で最大周波数を達成しなければならない設計エンジニアは、従来の電圧降下およびSTAサインオフの要件を満たしているにもかかわらず、実際のシリコンでセットアップ時間のエラーに遭遇する場合があります。この最大周波数に関する障害は電圧降下によって発生し、電圧の影響を受けやすいパスにおける遅延を引き起こしていますが、このような障害は現在のツールを使っても多くの場合発見できません。

クリティカルなタイミングパスを特定し、電圧降下が供給電圧の例えば10%を超えないことを検証し、電圧降下マージンを考慮した供給電圧を使ってセットアップ時間を別個に検証する、など従来の方法では、エラーが発生するパスの組み合わせを完全に特定するには不十分です。また、配置配線設計データベース上で限定された数のECOによって課題を全て解消しているのは、極度の時間の浪費となってしまいます。

統合されたデジタル設計フルフローソリューションでは、共用のタイミング解析エンジンとパワー解析エンジンが互いにシームレスに通信し、新しい設計課題に対応するソリューションを提供します。

Cadence Tempus™ Power Integrity Solutionは、パワーサインオフ解析ツール (Voltus™ IC Power Integrity Solution) とタイミングサインオフ解析ツール (Tempus Timing Signoff Solution) が密接に統合された業界唯一のサインオフ解析環境で、テプアウトの前に最大周波数に関する障害を特定します。この密接な統合により、両ツール間でのイタレーションが可能になり、抵抗に敏感なアグレッサを特定し、スイッチングウィンドウを調整することで、電圧に敏感でタイミングクリティカルなパスを特定できます。Tempus Power Integrity Solutionでは、ワーストケースのベクターレス・アルゴリズムを使って可能性のある欠陥をネイティブに見つけることにより、真のサインオフ・ソリューションを提供し、さらにTempus Timing Signoff SolutionのECOフローにより、Innovus Implementation System内でこれらを修正します。これにより設計者は、電圧遅延の影響によりエラーとなるパスを見つけ、潜在的なシリコンの最大周波数に関するエラーを、テプアウト前に発見できます。

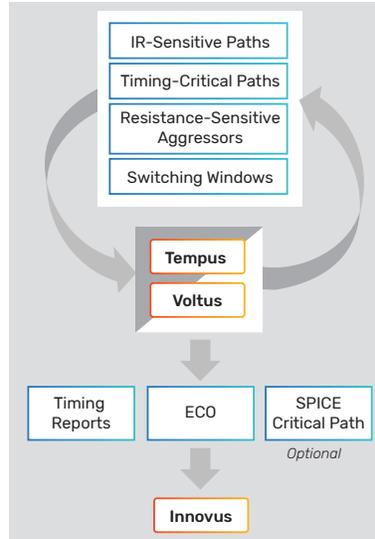


図5 : Tempus Power Integrity

この独自の設計クロージャフローでは、iSpatial、マシンラーニング、Compusなどの革新的機能によりあらかじめ最適化されたデータベース上で作業を開始し、PPAの厳しい目標を達成することができる次世代デジタルRTL-to-GDSフルフローを提供します。

まとめ

HPC、AI、5Gなどの成長市場における急速に増加する需要により、より最小の面積と消費電力で、より高性能で高品質な設計を提供することが求められています。次世代のFinFETおよび縮小するジオメトリに加えて、お客様の設計上の課題は急激に増加する可能性があります。このような課題に対して、従来の設計自動化を超えるソリューションが必要です。

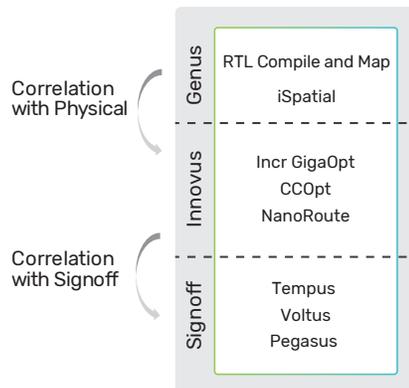


図6 : デジタル設計フルフロー

ケイデンスのデジタル設計フルフローソリューションは、フィジカル設計最適化、ロジック・リストラクチャリング、インプリメンテーションフローに組み込まれたディープラーニング・テクノロジーを統合し、PPA設定目標の達成を支援します。このソリューションは、最善のターンアラウンド・タイムで、PPAを10~20%向上します。この新しいソリューションにより、お客様は、強い確信を持って次世代設計アーキテクチャを開発し、PPAの設定目標を達成できます。お客様は、優れたサインオフクロージャを実現するためにネイティブに統合された真のサインオフ・テクノロジーにより、費用のかかるシリコンのリスピンを回避しながら、確信を持って課題の多い設計をクローズすることができます。

cadence

ケイデンスは、電子設計および自動化に関する専門知識において中心的なリーダーであり、Intelligent System Design戦略によって設計コンセプトを具現化します。ケイデンスのお客様は、最もダイナミックなマーケットアプリケーションに向けて開発されるチップから基板やシステムに至るすばらしい電子製品を提供している、世界で最もクリエイティブで革新的な企業です。www.cadence.com/jp

© 2020 Cadence Design Systems, Inc. All rights reserved worldwide. www.cadence.com/go/trademarksに掲載されているCadence、Cadenceロゴおよびその他のCadenceマークはCadence Design Systems, Inc.の商標または登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。14078 03/20 SA/RA/PDF