

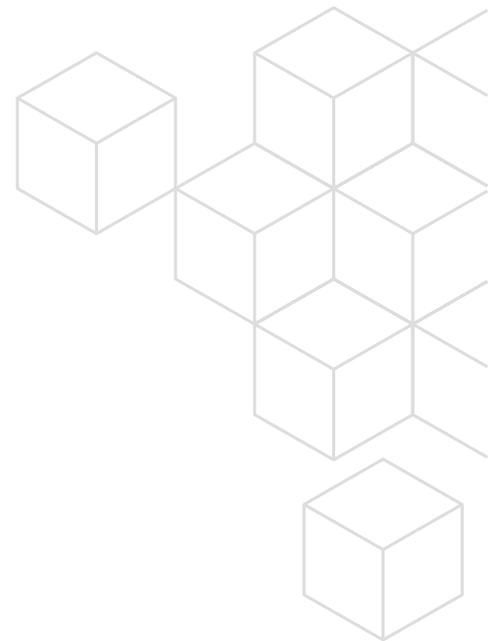
## チップ-パッケージ-PCB 統合化による RF 製品設計フローの最適化

By Michael Thompson, Senior Solutions Architect, Cadence

現在の設計フローは、EDA ツール間の連携が不十分なため、様々な設計作業を分断せざるを得ない状況にあります。分断化したフローを使用していると、システムや回路が複雑化し、帯域の余裕がなくなったり、デバイスサイズの小型化や実装形態の多様化に対応できないなど、新たな問題を解決することが難しくなってきます。今回は、Cadence® Virtuoso® RF Solution を通じて、設計チーム間の連携性を高めるとともに、次世代のハイエンドな RF 製品設計に生かすことができる、垂直統合型のフローをご紹介します。

### 目次

はじめに .....	2
分断した設計フローの課題 .....	2
何が必要なのか .....	4
Virtuoso RF 設計フロー .....	4
シングル・ゴールドデン・スキーマティック .....	5
マルチテクノロジー・サポート .....	5
配線機能の拡充 .....	5
Virtuoso と Allegro のシームレスなインテグレーション .....	6
寄生抽出と電磁界解析 .....	6
IC, パッケージ, PCB の統合フロー .....	7
まとめ .....	8
References.....	9



## はじめに

回路シミュレータが導入された当初から、設計フローはなかなか統合されない状況が続いてきました。さらに、電磁界解析などの特殊な用途のツールの出現により、フローはより細分化されてきました。回路シミュレーション、レイアウト、電磁界解析は、それぞれ別々のツールを別々の担当者が使用しているのが一般的です。以前は、設計が比較的シンプルで、共通のインターフェイスポイントをサブシステムで定義することができていたため、別々のツールでも対応できていました。また、これらの設計では、アルミナやガラスファイバー等の高周波向け基板の上にシングルチップのパッケージを実装する方法を採用していました。これも、チップ、パッケージ、PCB の設計が完全分業していた要因です。このような従来型の設計に代わり、最近では、マイクロバンプ、スタックチップ、シリコン・インターポーザ、FOWLP、部品内蔵基板など、より複雑かつ高度な実装が主流になってきています。

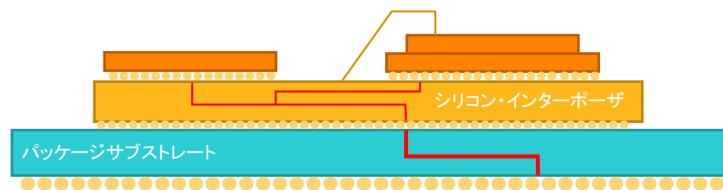


図 1:スタックチップ設計

ここで、図 1 のようなスタックチップの設計を考えてみましょう。この設計では、1つのサブシステムとして機能することを想定しています。高周波設計の観点から、ある領域の電磁結合は、スタックしている他の領域に影響を及ぼすことは明確です。

しかし、複数の設計チームが異なる EDA ツールを使用して設計していたとすると、これらの干渉を考慮した設計を行うことは難しくなります。

分断化されたフローにおいては以下のような問題に対処することができません。

- システムの複雑さの増大
- 回路の複雑さの増大
- より厳しい動作帯域
- 動作電力のさらなる低減要求
- デバイス・製品サイズの小型化
- 工程のさらなる複雑化
- 進化し続けるパッケージ技術・製造技術からの要求
- 製品サイズの小型化
- デバイス・実装コスト低減要求

## 分断した設計フローの課題

半導体デバイスのプロセスは数百 nm から数 nm に一気に縮小されました。より小さなテクノロジー・ノードで製造された LSI はあらゆる面で製品を改善しますが、これらのダイを実装するパッケージやモジュールにおいても、より小さくしなければ意味がありません。より小型のパッケージに集積度を高めてデバイスを詰め込んだ場合、デバイス間の干渉は増大しますので、電磁界解析を併用したレイアウトの最適化が必須になってきます。

ほとんどの設計では CMOS が採用されていますが、高周波帯域においては、一部 SiGe, GaAs, GaN, InP といった化合物系のプロセスとのマルチテクノロジー設計や、SAW や BAW などのフィルタテクノロジーが必要となります。ひと昔前、Gordon Moore は、パフォーマンスと費用対効果の向上のためにマルチテクノロジーの採用を提唱しました。

大規模システムの構築にあたり、小機能の個別パッケージを接続の方が経済的であるかもしれない。機能設計と構造を組み合わせた多機能化により、大規模システムベンダーはかなり多様な機器を迅速かつ経済的に設計及び構成できるようになるはずである。[1]

このように、非常に複雑な設計のあらゆる箇所が相互干渉するため、検証には通常以上の時間を要します。それにもかかわらず、アグレッシブなスケジュールの中で、新しくかつ難しい設計課題に取り組むことが求められます。そのスケジュールを守りつつパフォーマンスを向上させるには、同時並行設計を意識することが重要となります。設計に割く時間が不足することで、回路と電磁界シミュレーションに十分な時間を割くことができなくなり、LVS 検証も不十分になる可能性があります。このため、電気的なパフォーマンス検証に不可欠な電磁界シミュレーションを行わずにテープアウトせざるを得ないこともあります。

さらに設計チームが複数の異なる設計プラットフォームを使用している場合、より複雑な問題が発生する可能性があります。例えば、解析担当者が行った変更が製造担当者のプラットフォームに反映されないといった場合や、予期しない LVS エラーの発生、さらには、検証過程で意図せずに過去の電磁界解析の結果を使用していたといったものがあげられ、設計フローにおける混乱の要因になります。共通のプラットフォームを採用していないことにより、ツール間での情報のやり取りにおいてもエラーが発生しやすくなります。

ツール間でレイアウト情報をやり取りし、電気的パフォーマンス検証のためにシミュレーション環境に引き渡します。この際、設計変更のトレーサビリティが欠如しているため、変更の反映が遅れたり、失われたりして、製造の際に問題が生じる場合があります。問題のタイプに応じて複数の電磁界解析ツールや解析技術を使用している場合、問題点を見落とししたり、時に不良が生じたりする可能性も考えられます。

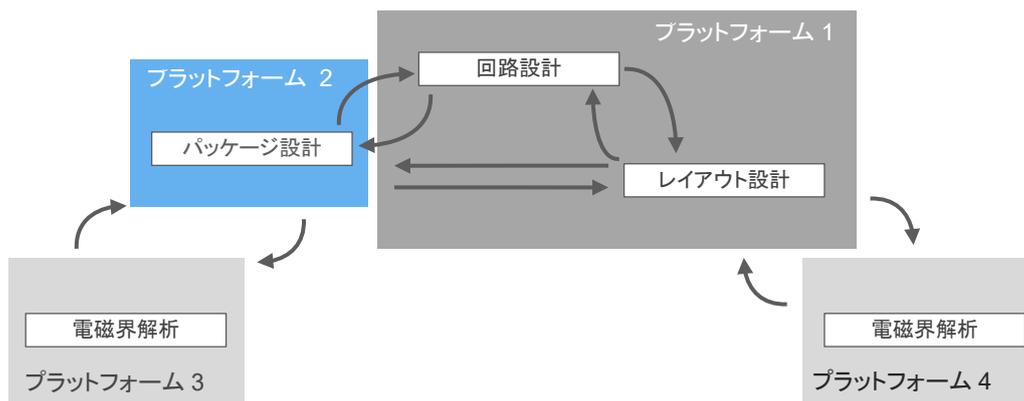


図 2: 複数の EDA ツール間のデータ交換

この分断化した設計アプローチでも最終的には動作するデバイスの設計を行える可能性はありますが、一体となった設計フローではないため、問題個所の特定やエラーの対処に時間がかかる可能性があります。このため、より検証に必要な時間が短縮できるよう、最小限の設計変更で済ませるため、過去に検証済みの設計データに頼る傾向になりがちです。このフローに潜在するこの見えないコストは、市場における製品の差別化に必要な、革新的技術開発を妨げる要因となります。技術革新の欠如は、過去 25 年間で多く

のマーケットリーダーによって非常に有害であることが証明されています。

## 何が必要なのか

次世代の高周波製品を生み出すためには、設計チーム間でコラボレーションが不可欠となります。コラボレーションをスムーズに行うためには、統合された設計フローが必要です。一方で、設計者が日々使用している設計環境を大幅に変更すると、設計効率が著しく低下します。このため、設計者がすでに利用しているプラットフォームで実現すべきと考えます。日々スケジュールに追われる設計者が新しいプラットフォームを採用する際、その手間と習得にかかる時間は計り知れません。

Cadence Virtuoso アナログ設計環境は、Cadence Spectre®回路シミュレーションプラットフォームおよび Spectre RF オプションとともにエレクトロニクス設計業界で最も広く使用されているプラットフォームです。ほとんどのエレクトロニクス設計者は、Virtuoso のカスタム IC 設計プラットフォームのユーザーであるか、このプラットフォームのトレーニングを受けています。このプラットフォームは他のどの EDA ツールよりも多くのファウンドリにサポートされています。また、多くの組織内の CAD 担当者が Virtuoso プラットフォームをサポート可能です。

一方、パッケージングテクノロジーが複雑になるため、様々な実装形態に対応したパッケージ設計ツールが必要となります。Cadence SiP Layout と Cadence Allegro® PCB 設計プラットフォームは、多種多様な実装形態に対応した、業界で多数の実績を持つパッケージ/PCB 設計ツールです。また、Virtuoso カスタム IC 設計プラットフォームは、高度なマルチテクノロジー、スキマティック・ドリブン・レイアウト、階層設計機能も備えています。

## Virtuoso RF 設計フロー

Virtuoso RF 設計フローは、これらのプラットフォームの総合力をフル活用しており、モジュール、パッケージ並びに PCB 設計を単一の環境で設計するために必要な回路シミュレーション、レイアウト、電磁界解析、検証機能を備えた、スキマティック・ドリブン・レイアウト環境を提供します。

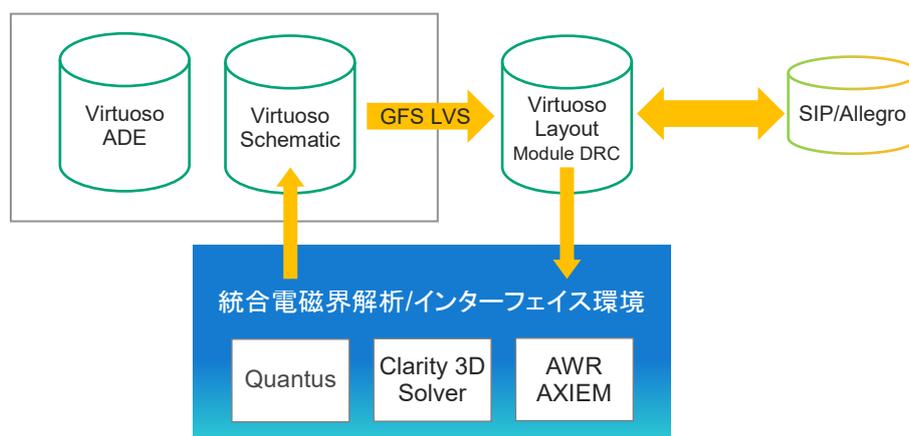


図 3: Virtuoso RF 設計フロー

Virtuoso RF 設計フローの主な利点をいくつか見てみましょう。

## シングル・ゴールデン・スキーマティック

Virtuoso RF 設計フローでは、回路シミュレーション、LVS、電磁界解析、検証に対して、マスターとなるゴールデン・スキーマティックを供給します。このため、電磁界解析や LVS を行うために特別な回路図を用意する必要がありません。これは、従来の IC の回路図とは異なり、IC だけではなく、モジュール全体もしくはパッケージ全体の接続情報も含まれています。

## マルチテクノロジー・サポート

Virtuoso RF 設計フローは、Virtuoso プラットフォーム内のマルチテクノロジー・サポート (MTS) を活用しています。Virtuoso 回路図とパッケージレイアウト間をリンクし、パッケージの패드や SMD、IC 間の接続をフライトライン (ラッツネスト) として表示します。この例では、各チップは個別のテクノロジーであり、もちろんパッケージと SMD も別のテクノロジーを持っています。

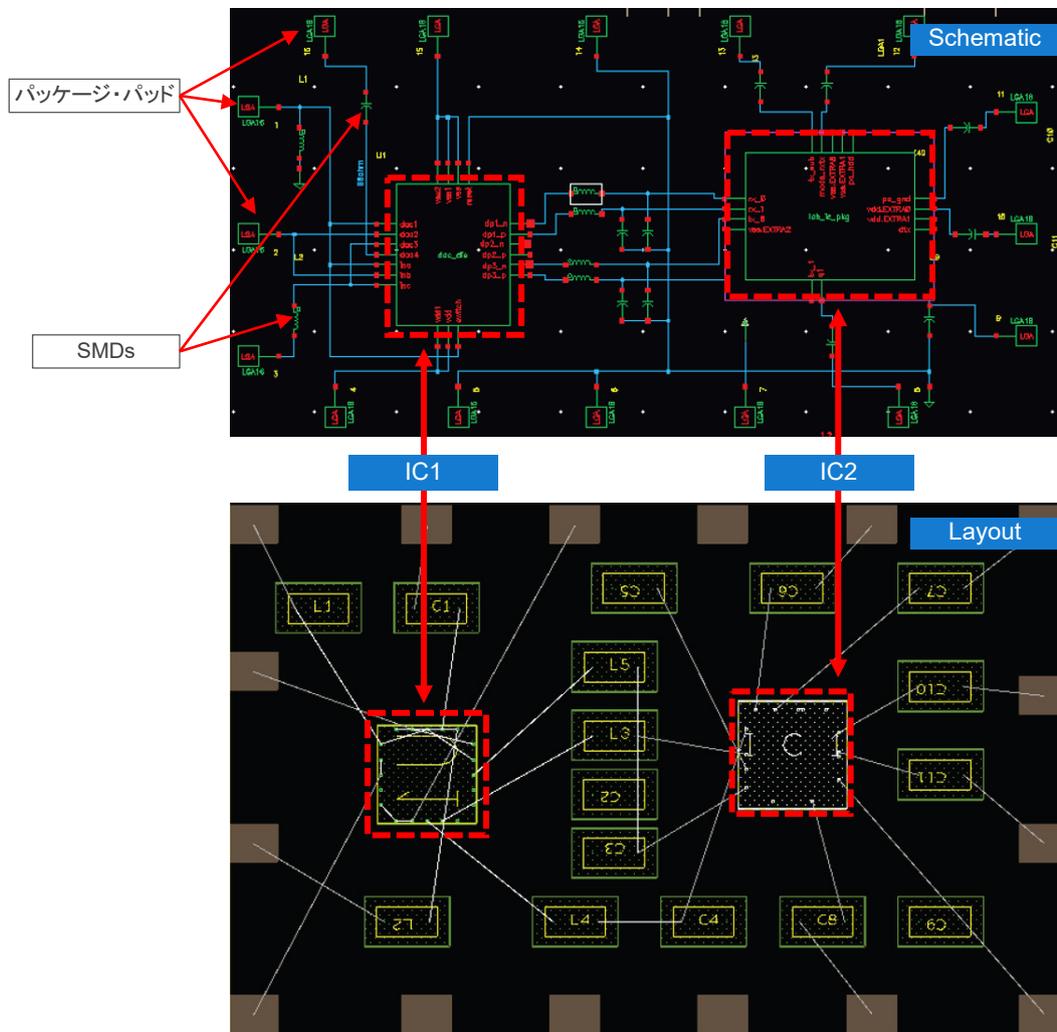


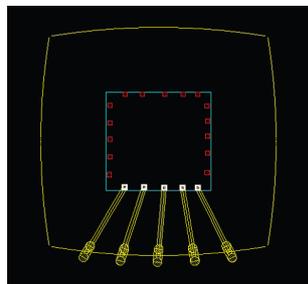
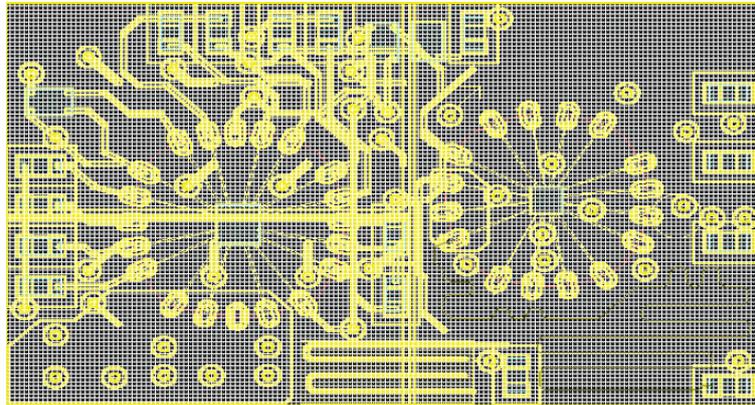
図 4: Virtuoso Schematic によるパッケージ接続

## 配線機能の拡充

Virtuoso RF ソリューションは、有機基板パッケージの配線スタイルに対応し、ボンディングワイヤや、任意角度の配線・部品配置を Virtuoso の環境内で実現しました。この UI では、円弧や円も多角形で近似

されることなく、厳密に表現されます。さらに、電源・グランドプレーンのダイナミック銅（Void形状の自動生成）もサポートしています。

自動ボンディングワイヤ配置用ガイド生成を含む、新しい配線機能を図5に示します。複数ボンディングワイヤを1回の配線プロセスで配線することも可能です。



- 任意角度の配置・配線
- 円弧、半円エンドキャップ
- ボンディングワイヤツール
- Void形状の自動生成

図 5: Virtuoso RF におけるパッケージ配線機能

マルチチップ・モジュール（MCM）設計においては、ダイのテープアウトとほぼ同時に、実装部品、モジュール内の配線を決定できるまで追い込むことができます。

### Virtuoso と Allegro のシームレスなインテグレーション

Virtuoso RF フローには、SiP Layout/Allegro プラットフォームからパッケージとモジュールの設計データをインポートすることができます。さらには、これらの設計データを編集したり新規に設計をしたりすることも可能です。逆に、Virtuoso のレイアウトを SiP Layout に持って行き、SiP Layout 上で編集したり製造性チェックを行ってからインポートすることもできます。これにより、クリティカルパスと構造をいち早く検討でき、電氣的な影響があるレイアウトの部分を簡単に評価できるようになります。

### 寄生抽出と電磁界解析

設計が進み、レイアウトの生成段階になると、配線カップリング、インピーダンス不整合、挿入損失、伝送線路の分布等、レイアウトによって引き起こされる電氣的影響を検証します。これには、寄生パラメータ抽出と電磁界解析ツールを使用します。

Virtuoso RF ソリューションには、電磁界解析環境が組み込まれており、設計データ全体もしくは特定のトレースやインスタンスを対象とした解析を行うことができます。電磁界解析の設定は、Virtuoso Layout の環境内で行え、結果の S パラメータや集中定数等価回路モデルは、ゴールデン・スケマティックの

Extracted セルビューに自動的に取り込まれます。

寄生パラメータのような電磁界解析の結果を Extracted View で表現することには、いくつかの利点があります。

- 回路図内に S パラメータブロックがインスタンス化されているような別の回路図シンボルが不要となります。
- ゴールデン・スキーマティックには、回路設計情報を壊すことなく電磁界解析の結果を取り込むことができ、レイアウトによる問題を含むシミュレーションや LVS に利用可能です。
- Hierarchy Editor では、ビューを組み合わせたリ、比較することで、簡単かつ迅速に回路設計への影響を検証することが可能です。この機能を図 6 に示します。ここで、回路図中の 2 つの黄色い配線には、「Back Annotate from Extracted View」ウィンドウで選択した、M1 と M2 の電磁界解析の結果が割り当てられていることを示しています。

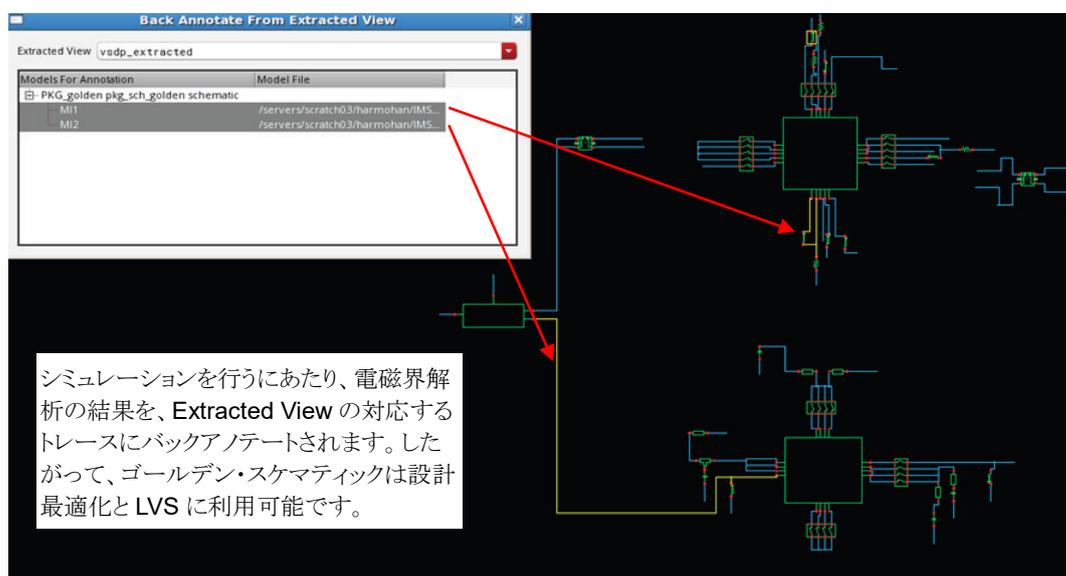


図 6: 電磁界解析の結果をゴールデン・スキーマティックにバックアノテーション

Virtuoso RF 設計フローは、電磁界解析エンジンとして、Clarity™ 3D Solver（フル 3 次元アダプティブ有限要素法解析エンジン）と AWR AXIEM（モーメント法エンジン）の 2 つを採用しています。

### IC、パッケージ、PCB の統合フロー

Virtuoso RF 設計フローでは、チップとパッケージ、PCB のレイアウトを 1 つのキャンバス上に表示し、混在するテクノロジーのアライメントや統合編集が可能になります。チップとパッケージの統合編集のイメージを図 7 に示します。

チップは Virtuoso のカスタム IC 設計プラットフォームで設計し、ここでは、パッケージ情報は SiP Layout で作成したものをインポートしています。ウィンドウ上部のタブでは、それぞれ単体の設計を切り替えることができ、連携した編集作業が可能となります。シミュレーション用の電磁界解析の結果は、それぞれのトレースにバックアノテーションされ、Extracted View に含まれる形になります。したがって、ゴールデン・スキーマティックは、設計最適化と LVS の両方に利用可能となります。

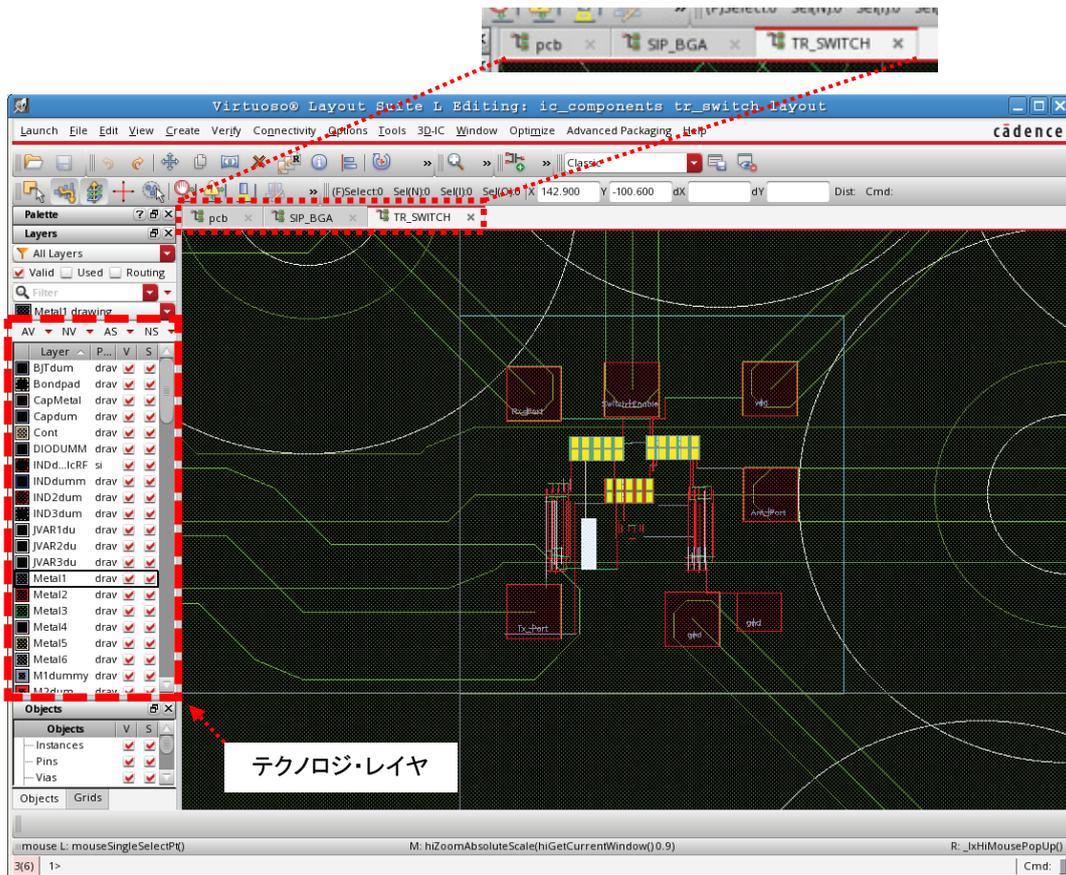


図 7: チップ・パッケージ統合設計モード

チップ階層が表示されている場合、テクノロジー・レイヤの選択と SIP\_BGA レイヤの選択が可能です、かつ編集することができます。Virtuoso カスタム IC 設計プラットフォームではチップとパッケージ両方の回路図定義を行い、当然、チップとパッケージの間のインターフェイスの定義も行います。コネクティビティを保持するため、パッドやボールの位置を編集すると一体となって移動します。パッケージとチップのアラインメントが崩れた場合、回路図の接続情報からフライトライン（ラッツネスト）を表示して、未結線であることを示します。

これにより、IC とパッケージの設計チームは独立して作業をすることができることに加え、チップレイアウトとパッケージレイアウトのフットプリントのずれを即座に吸収することができます。一方で、統合編集モードを使用することで、チップとパッケージの同時編集も可能となり、常に両者を同期させた設計も可能となります。

## まとめ

Virtuoso RF 設計フローは、次世代の高周波製品設計に必要な、シミュレーション、レイアウト、寄生抽出、電磁界解析、LVS、DRC をシングルフローにまとめた統合環境となります。このフローにより、設計担当分野を超越したコラボレーションを実現し、従来の設計データを流用したレイアウト検証に時間を割かずとも、より革新的な設計に時間を注ぐことができます。寄生抽出と電磁界解析ツールのシームレスな統合により、生産性は向上し、分断化されたフローによって発生する各種エラーを削減することが可能になります。

結論として、Virtuoso RF 設計フローは、次世代の高周波製品を設計するために最適な環境と言えます。

Virtuoso RF Solution の詳細は、[www.cadence.com/go/virtuosorfni](http://www.cadence.com/go/virtuosorfni) のページを参照してください。

## References

- 1 G. Moore, "Cramming More Components onto Integrated Circuits," Electronics, vol. 38, no. 8, p. 114, 1965.