

Virtuoso Characterization Suite

高速かつ高精度なキャラクタライズと検証のソリューション

Cadence® Virtuoso® Characterization Suite は、スタンダード・セルや I/O や複雑なマルチ・ビットセルから、メモリーやミックスドシグナル・ブロックなどの、皆様が基盤としている IP のキャラクタライズや検証を実現する、業界の最も包括的で堅牢なソリューションを提供します。皆様の IP に対して、ライブラリーのスループットの改善や、タイミング、パワー、ノイズ、統計的なカバレッジを保証することによりシリコンとのより良い相関をもたらす独自の Inside View テクノロジーを持っています。

A Complete Solution

Virtuoso Characterization Suite は、一般的なキャラクタライズ、統計を考慮したキャラクタライズや検証、スタンダード・セルや I/O、メモリー、ミックスドシグナル・ブロックの Liberty ライブラリーを生成するための高性能なツールです。このプロダクトは、キャラクタライズする入力信号を生成し最適化するための独自技術 Inside View のアプローチと企業規模のコンピューター・リソースを活用する並列処理機能との強力な組み合わせにより、高い精度と高速な処理を実現します(図 1)。このソリューションには、

- Virtuoso Liberate™ Characterization Solution
- Virtuoso Liberate LV Library Validation Solution
- Virtuoso Variety Statistical Characterization Solution
- Virtuoso Liberate MX Memory Characterization Solution
- Virtuoso Liberate AMS Mixed-Signal Characterization Solution

が、含まれます。

Virtuoso Characterization Suite は、業界標準の SPICE シミュレータ Spectre® Circuit Simulator との統合され、Spectre を使うことで、独立型のサード・パーティー・シミュレータを用いるよりも効果的なスループットが得られます(図 2)。

Benefits

- スタンダード・セルと複雑な I/O セルの超高速なセル・ライブラリー・キャラクタライズ



Standard cells
 • Speed, automation (Inside View), accurate modeling (CCS, ECSM, power, noise)

Complex I/Os
 • Speed, control, accuracy, modeling (CCS, ECSM, power, noise)

Memory and mixed-signal blocks
 • Speed, accuracy, capacity (hybrid partitioning)
 • Modeling (CCS, ECSM, power, noise)

Variation and validation
 • Accuracy, modeling (AOCV, SOCV, LVF)
 • Completeness, integration (Tempus, Voltus, ETS/EPS, PT/PT-PX), ease of use

図 1. Inside View テクノロジーを備えた Virtuoso Characterization Suite

- 内部の全てのロジックの状態を学習しベクターの自動生成を可能にする Inside View トランジスタ・レベル回路解析技術を用いて、各セルの自動ブリ・キャラクタライズ
- ローパワーおよびまたはハイスピード・デザインに対応する複雑なセル・キャラクタライズ
- 実行時間を最適にする独自のハイブリッド・パーティション技術を使い、メモリーやカスタム・ミックスドシグナル・ブロックなどの大規模マクロ・ブロックへの対応
- 少数のマルチコア・コンピューター上でライブラリーの検証を一晩で完了する超高速な処理能力
- 相関のあるなしにかかわらずプロセスパラメータの任意の組み合わせ(システムティックかつランダム)において、プロセスのばらつきを把握し、観察できるタイミング・モデルの生成

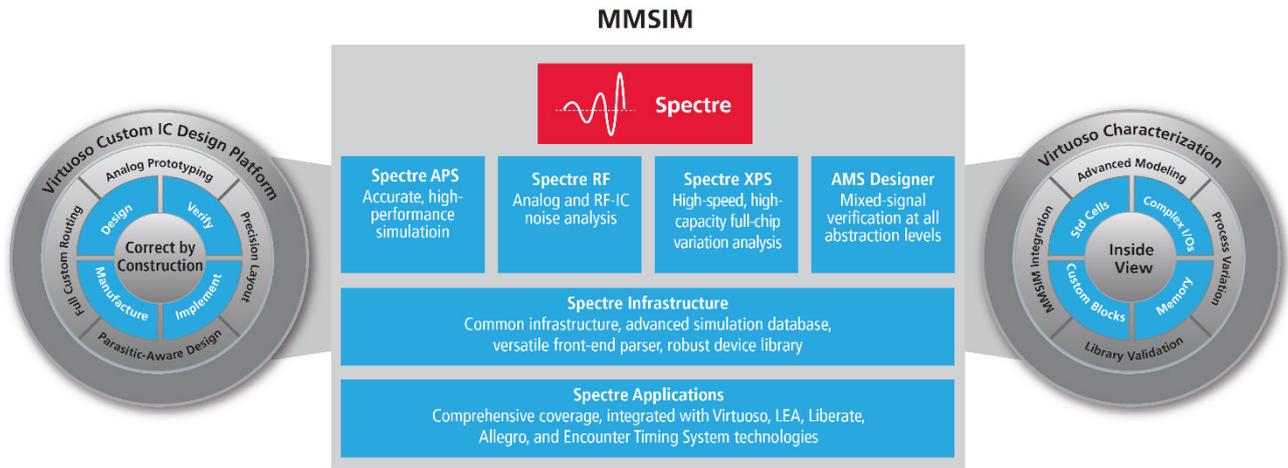


図 2. Spectre テクノロジーを統合したカスタム・シミュレーションとキャラクタライズの完全なソリューション

Virtuoso Liberate	Virtuoso Liberate LV	Virtuoso Variety	Virtuoso Liberate MX	Virtuoso Liberate AMS
スタンダード・セル 複雑な I/O 群	ライブラリー検証	プロセスばらつき モデリング	メモリー、 カスタム・ブロック	ミックスドシグナル キャラクタライズ
<ul style="list-style-type: none"> 高速ライブラリー・キャラクタライズ 先進的なタイミング、パワー、ノイズ・モデル CCS, ECSM, NLDM, NLPM, CCSN, ECSMN 	<ul style="list-style-type: none"> 包括的な検証システム ライブラリー関数の等価性とデータの一貫性のチェック リビジョン解析 タイミングとパワーの相関 	<ul style="list-style-type: none"> 複数の SSTA ツールで使用可能なライブラリー生成 ローカルやグローバルのプロセスばらつき AOCV/SOCV テーブルや LVF 	<ul style="list-style-type: none"> 実行時間を最適化する、独自のダイナミック・パーティショニング タイミングやノイズのタイミング制約と電流源モデル 	<ul style="list-style-type: none"> ハイブリッド・パーティショニング タイミング、パワー、リーク、ノイズの.libの1ステップ生成

図 3. Spectre テクノロジーを統合した 5 つのソリューション

Liberate Solution

Cadence Virtuoso Liberate Characterization Solution は、スタンダード・セルや I/O ライブラリーを生成する超高速なツールです。Virtuoso Characterization Suite (図 3) の一つとして、タイミングやパワー、電流モデル (CCS や ECSM) を含んだシグナル・インテグリティの電気的なセルビューの生成が可能です。

Inside View アプローチは、トランジスタ・レベルの回路解析を使用して、自動で各セルの特性の事前評価を行い、セルの完全で精度があり、非常に効率的なキャラクタライズを確実にするために必要となる入力情報や内部ロジックの状態を生成します (図 4)。



図 4. プリ・キャラクタライズ回路解析

Liberate は、ハイスピードおよびまたはローパワー・デザインに必要なセルを含む複雑なセルにも対応しています。それらは、パルス・ラッチ、マルチビット・フリップフロップ、カスタム・

セル、ステート・リテンション・フリップフロップ、レベルシフター、パワー・スイッチ、スリープ・モードを持つセルなどがあります。

Creation and upkeep of library views

Advanced Node プロセス・テクノロジー設計では、高品質なシリコンの実現やサイン・オフツールが精度を満たさないことによるシリコンのリスピンを避けるために、多くの先進的なライブラリーのビューを必要とします。パワーのリークを制御するには、低い閾値のセル、通常の閾値のセル、高い閾値のセルを持つことが一般的です。これらは、異なるパワーで動作し、異なるパフォーマンス特性を持ちます。

さらに、インスタンスに限定された電圧違反や温度勾配を精度良くモデリングするには、多くの電圧と温度についてライブラリー・プロセス・コーナーをキャラクタライズすることが求められます。最先端プロセスでは、エリアやパフォーマンスの犠牲を改善する選択的なライブラリー・セルを提供することが一般的になりつつあります。

このような理由から、これらのライブラリー・ビューの作成と維持が、デザイン・フローの一つの代表的なボトルネックとなっています。

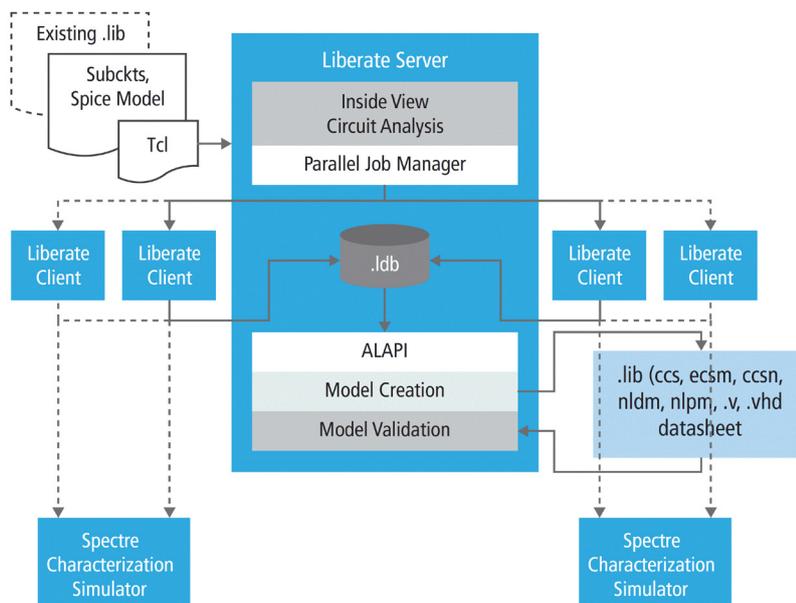


図 5. 複数クライアントで平行・キャラクタライズ技術を示した Liberate フロー

Inside View

Liberate のソリューションでは、ベクター生成、ビニング、自動のインデックス選択、および、タイミング制約のキャラクタライズの最適化を実行するための Inside View のプリ・キャラクタライズの回路解析の機能が使われます。これは、完全自動化されたライブラリー生成を一晩で可能にするくらいの、従来のキャラクタライズを超える速度向上をもたらします。

Parallel characterization

Liberate は、CPU 数に対してほぼ線形のスピード向上を実現するためにインテリジェントなジョブ分散を介して、マルチコア CPU の大規模ネットワークを効果的に利用します (図 5)。Liberate は自律的で、ネットワーク・トラフィック、ファイル I/O、キュー・リクエストを大幅に削減します。さらに、たくさんのセルのアーキにより構成される複数のキャラクタライズのタスクは、CPU リソースの最適な使用のための作業として「パケット」にグループ分けされます。

Liberate に緊密に統合された Spectre APS 回路シミュレータを用いて、シングルアーキからセル全体の任意の粒度で、キャラクタライズのタスクを実行します。もしくは外部シミュレータを使うこともできます。Liberate は、商用のジョブ管理システム LSF や Sungrid、FlowTracer と一緒に使うことができます。

Complex cell and model support

Liberate は、非常に複雑なセル (DDR、USB、PCI-X などの I/O を含む)、クロック・ドライバー、パイプライン・マルチビット・フリップフロップ、ワン・ホット MUX、ドミノ・ロジックを持つカスタム・セルなどのキャラクタライズが可能です。キャラクタライズを実施させることに加えて、自動でベクター生成するためにユーザー指定の真理値表をサポートしています。複雑な終端条件や差動入力と出力もサポートしています。同様に、ベスト

ケースのコーナー作成のための同時入力スイッチング動作もサポートしています。

Liberate は、CCS と ECSSM の両方の電流信号源モデルの生成が可能です。この機能は、精度と非線形遅延モデル (NLDM) との整合性を取ると同時にデータの大きさを最小にするために波形の分割を自動調整します。マルチラッチ・セルでは、Liberate は、タイミング制約のキャラクタライズのために内部プローブのポイントを自動で決定します。ノイズ・ビュー生成では、入力と出力のチャネル接続されたロジック段と全ての内部中間プローブ・ポイントを、自動で決定します。

Model generation

Liberate は、Liberty、Verilog、Vital モデルを生成し、最新の承認されたフォーマットの更新をサポートします。これらのモデルは、中心的なライブラリー・キャラクタライズ・データベース (.ldb) から生成

されます。このデータベースからライブラリー・モデルの複数バージョンの生成が可能です。これは、再キャラクタライズの必要がなく、古いバージョンを使うツールをサポートするためです。

データベースの全てのデータは、Tcl API を経由してアクセスすることができます。これは、提供されている例題を修正し、独自のモデル書式やユーザー指定のデータシートを生成することを可能にします。このデータベースは、インクリメンタル・アップデートをサポートし、ネットワークの問題に起因したキャラクタライズの失敗から正常な状態に戻すときに利用できます。

Advanced characterization algorithms

Liberate Solution はスタティック・タイミング解析 (STA) ツールでの相関性が向上し、悲観性を最小限に抑えたモデルを提供する、先進的なキャラクタライゼーション・アルゴリズムをサポートします (図 6)。

これらのアルゴリズムは、セットアップとホールドの悲観性の削減、出力への最小化された遅延、依存性セットアップと依存性ホールド、最適化されたパワー制御、その他にも多数のことを含みます。これらのアルゴリズムは、ユーザーが選択可能なキャラクタライズの制御を通して簡単に作動させることができます。

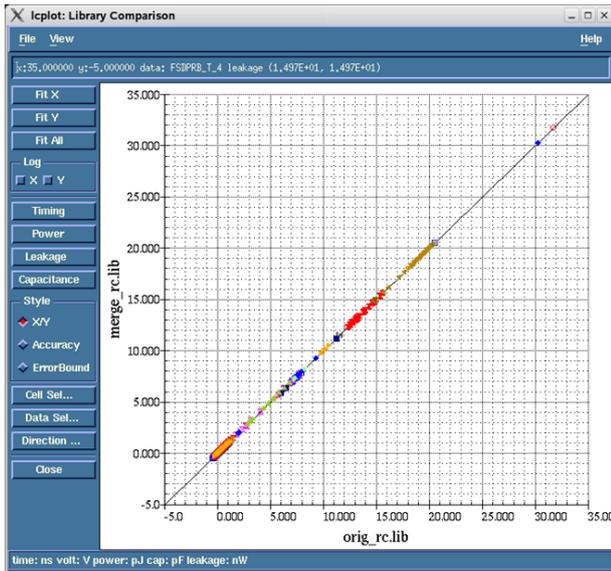


図 6. 高度なキャラクタライズのアプローチ比較

Liberate LV solution

Cadence Virtuoso Liberate Library Validation Solution は、機能等価性チェック、データの整合性チェック、リビジョン解析、タイミング、ノイズ、パワーについての種々の電気解析ツールとの相関を含むライブラリーの妥当性を確認するユーティリティ群です(図 7)。

Liberate LV を用いて、少ない数のマルチコア・コンピュータ上で、ライブラリーの完全な妥当性を一晩で確認することができます。ライブラリー提供者は、ライブラリーを出荷する前にライブラリーの品質を保証することができます。ライブラリーの使用者にとって、入手したライブラリーのクロスチェックが可能となり、抽出されたセルのネットリストやプロセス・モデルの修正など、任意の変更による影響を明確に理解することができます。

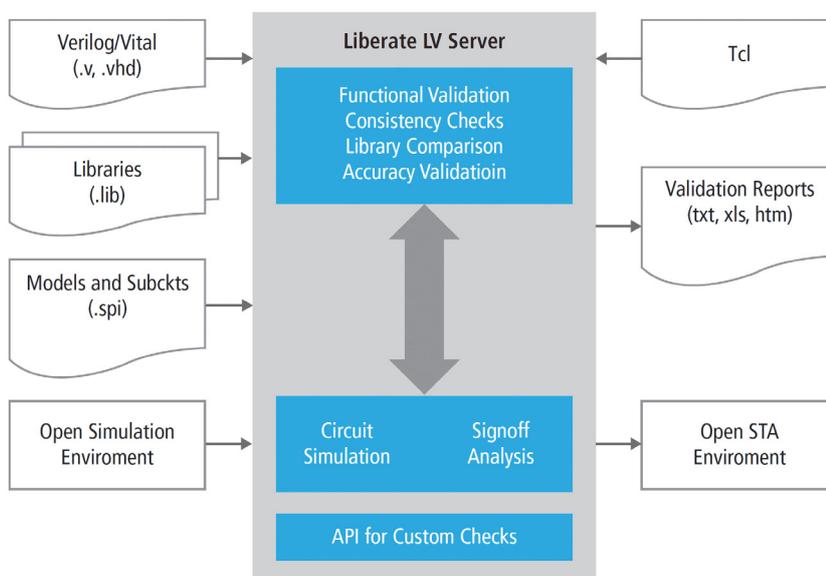


図 7. Liberate LV ソリューションとライブラリー検証の入力と出力

ライブラリー・キャラクタライズでは、大規模コンピュータ・ネットワークに分散されるような、回路シミュレーションやデータの測定、データ集計や書式変換の複雑な組み合わせを必要とします。

各ライブラリー・ビューが複数のチップ・デザインで使用されることから、ライブラリー・データは、正しいことが最も優先され、測定の不正確さや正しくない入力により損なわれてはいけません。Liberate LV は、整合性、網羅性、精度を保証する、最終ライブラリーの妥当性の確認や検証の手段を提供します。

Function and state coverage

セル・ライブラリーのキャラクタライズ実行時に、入力のディレクティブやベクター、ステイムラスは、多くの場合、既存ライブラリーもしくは、キャラクタライズ・ツールの入力言語の手書きのコードの、どちらかの方法によりユーザーが与えます。しかし、これらのベクターや前提としていることが、キャラクタライズを実行する現在のライブラリーを構成の内部に含まれているトランジスタ・レベルの回路と一致しないことがあります。

Liberate LV は、トランジスタ・レベルの回路に対して、入力ライブラリー内の全ての動作記述を直接チェックし、全ての不一致をレポートします。この結果として、製造後にデザインを正式に検証または試験したとき、後に発生する可能性のある動作エラーの防止になります。

Liberate LV は、ライブラリー(.lib)に保存されている動作情報の全てが、トランジスタ・レベルの SPIGE サブサーキットや Verilog およびまたは Vital で記述されたライブラリーと一致していることを保証する手段となります。

さらに、Liberate LV は、必要なタイミング、ノイズ、電力 (switching と hidden の両方の電力)、リーケージ・アークおよびステートが、ライブラリーで表されていることを保証し、欠損しているものがあればレポートします。下流ツールにおいて潜在的に不正確となる要素を避けるために、個別のステートの存在が十分でない箇所を警告します。

Consistency checks

Liberate LV は、多くのデータの整合性のチェックを提供します。例えば、テーブルベースの NLDM と電流 (CCS) や電圧 (ECSSM) データとの比較や、非単調性を持つ遅延のチェックなど、さまざまなチェックを提供します。

Verilog と Vital モデルについて、Liberty モデル (.lib) との整合性は、ライブラリーの各セルをインスタンスする上位階層のデザインに SDF バックアノテーションし自動的にテストすることで、チェックが行われます。

複数のゲートレベル・シミュレータと共に、複数の SDF 生成ツールをサポートします。それらには、Cadence Xcelium™ Simulator や他の商用シミュレータがあります。

Library revisions

Liberate LV は、新しいライブラリーと既存のゴールデンのライブラリーを比較する手法を提供します。比較からは、グラフィカルな結果や HTML、テキスト・レポートが生成されます。これには、異なるインデックス、関数シンタックス、ステート、セル名についてのライブラリーの比較が含まれ、さらに、異なるキャラクタライズ・システムにより生成されたライブラリーの検証も可能です。さらに、遅延、キャパシタ、制約、スイッチング電力、ノイズ、リーケージの具体的な変更や、新しいライブラリーのリビジョンごとの影響について明らかにします。

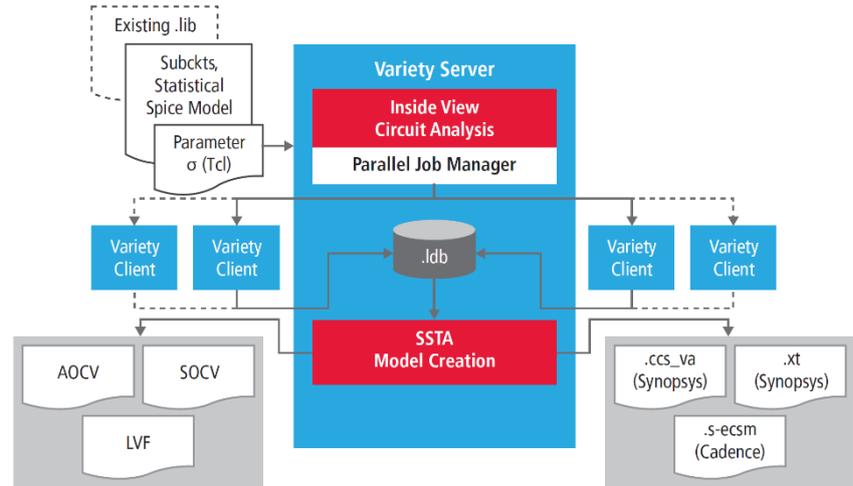


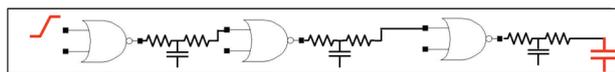
図 9. Variety ソリューション

Library validation and correlation

ライブラリー・データが正しいことを検証するために、Liberate LV は、適切な解析ツールのライブラリー・データを使用して、回路シミュレータから得られた結果に対する相関を確認します。遅延の精度を保証するために、Liberate LV は、スタティック・タイミング解析 (STA) を起動し、SPICE シミュレータを使ったテスト回路のシミュレーションと、その STA の結果の値を比較します (図 8)。配線寄生素子を持ったセルの可変長チェーンなど、テスト回路は自動的に生成されます。全ての入力から出力へのアークは、各論理状態、入力スルー、負荷条件が検証されます。統計的スタティック・タイミング解析 (SSTA) ツールにも対応し、パスの平均遅延や標準偏差を、モンテカルロ SPICE シミュレーションと比較することができます。

Path Name	jobname	slope	DUT	DUT%	Type	Index	Index_1	
combinational	Vv7A2 * A3 * B1 * B2 * B3B1 * [1 of 7]							
1	AOE8B4_X1_A1_ZNA1-sZn FR	0.054470	-0.054452	-0.03%	delay	0.004000	0.001300	
2	AOE8B4_X1_A1_ZNA1-sZn RF	0.061873	0.061792	-0.001171	-0.28%	delay	0.004000	0.014200
3	AOE8B4_X1_A1_ZNA1-sZn FR	0.110000	0.109934	-0.000126	-0.22%	delay	0.004000	0.117300
4	AOE8B4_X1_A1_ZNA1-sZn FR	0.067564	0.067651	0.000127	0.43%	delay	0.072000	0.001300
5	AOE8B4_X1_A1_ZNA1-sZn FR	0.074856	0.074907	0.000051	0.07%	delay	0.072000	0.014200
6	AOE8B4_X1_A1_ZNA1-sZn RF	0.123305	0.123026	-0.000160	-0.30%	delay	0.072000	0.117300
7	AOE8B4_X1_A1_ZNA1-sZn FR	0.130336	0.130414	0.000078	0.27%	delay	0.012000	0.001300
8	AOE8B4_X1_A1_ZNA1-sZn FR	0.146229	0.146182	-0.000047	-0.03%	delay	0.012000	0.014200
9	AOE8B4_X1_A1_ZNA1-sZn FR	0.194081	0.194195	0.000114	0.06%	delay	0.012000	0.117300
combinational								
10	AOE8B4_X1_A1_ZNA1-sZn RF	0.050359	0.050472	0.000113	0.22%	delay	0.004000	0.001300
11	AOE8B4_X1_A1_ZNA1-sZn RF	0.050866	0.050792	-0.000074	-0.13%	delay	0.004000	0.014200
12	AOE8B4_X1_A1_ZNA1-sZn RF	0.092344	0.092718	0.000136	0.45%	delay	0.004000	0.117300
13	AOE8B4_X1_A1_ZNA1-sZn RF	0.066630	0.066031	-0.000291	-0.33%	delay	0.072000	0.001300
14	AOE8B4_X1_A1_ZNA1-sZn RF	0.067003	0.067161	0.000078	0.12%	delay	0.072000	0.014200
15	AOE8B4_X1_A1_ZNA1-sZn RF	0.099290	0.099217	-0.000072	-0.07%	delay	0.072000	0.117300
16	AOE8B4_X1_A1_ZNA1-sZn RF	0.064217	0.064029	-0.000029	-0.20%	delay	0.012000	0.001300
17	AOE8B4_X1_A1_ZNA1-sZn RF	0.091190	0.091106	-0.000039	-0.04%	delay	0.012000	0.014200
18	AOE8B4_X1_A1_ZNA1-sZn RF	0.124098	0.123828	-0.000129	-0.22%	delay	0.012000	0.117300
Data Type	Entries	Avg DUT%	Avg DUT%	Sigma%	Min DUT%	Max DUT%	Outliers	
delay(ns)	18	0.000015	0.03%	0.26%	0.00	0.09%	0	

Liberate LV Timing Validation Comparison HTML Report



Liberate LV Sample Test Circuit

図 8. ライブラリー検証 (Liberate LV タイミング検証比較 HTML レポートと Liberat LV サンプル・テスト回路

Liberate LV には、タイミング制約、スイッチング電力、リーケージ、ノイズの精度を測定する手法が備わっています。この機能は、複数のタイミングやノイズ解析ツールをサポートしています。それらには、Spectre (サード・パーティも含む)

SPICE 回路シミュレータと実行する Cadence Tempus™ Timing Signoff Solution、Cadence Encounter® Timing System や他社タイミング解析ツールがあります。

Variety Solution

Cadence の Virtuoso Variety Statistical Characterization Solution は、非常に高速に、スタンダード・セルのタイミング・モデルのキャラクタライズをプロセスばらつきを考慮して実行することができます (図 9)。これは、それぞれのフォーマットごとの再キャラクタライズの必要無しに、複数の SSTA で使用可能なライブラリーを生成します。Variety は、高機能オンチップ・バリエーション (AOCV, advanced on-chip variation) テーブルや統計的オンチップ・バリエーション (SOCV, statistical on-chip variation) テーブルや、Liberty Variation Format (LVF) の出力にも対応しています。

Variety は、プロセス・パラメータに相関があるものや無相関なもの一式について、システムティックおよびランダムな変動を考慮した非線形なセンシティブリティを計算します。得られたライブラリーは、ローカル (セル内やダイ内) のばらつきと、ダイからダイのグローバルなばらつき両方のモデル化に利用されます。

SSTA は、実際のシリコン性能と比較して、現実的なタイミング見積もりをして、ほとんどの場合、ワーストケースのタイミング・マージンを 10-15%削減します。結果、より高いパフォーマンスで歩留まりの高いシリコンを得ることができます。

精度のよいばらつきを見積もるには、システムティックばらつき (リソグラフィ由来) とランダム・プロセスばらつき (トランジスタ間のドーピングの変動に由来) の両方によって構成されるばらつきを考慮したタイミング・モデルが、SSTA の実行において必要とされます。

Statistical timing models

Variety は、SPICE の統計モデルや実プロセスの測定に基づいて得られるばらつき変動をもつプロセス・パラメータばらつきセットを用いて各セルをキャラクタライズすることで、SSTA 消費のためのモデルを作成します。

遅延テーブル、スルー・テーブル、ピン・キャパシタ、タイミング

制約を含む、関連する全てのタイミング構成のプロセスばらつきに対する非線形センシティブリティが計算されます。また、高性能電流源モデル (CCS や ECSM) にも対応しています。

Variety は、単一のキャラクタライズ・データベース (ldb) から、複数の SSTA フォーマットを生成することができます。サポートしているフォーマットは、Cadence の S-ECSM、Multiple Liberty ファイル、他社コンパクト CCS VA フォーマットです。TCL API により、独自の SSTA フォーマットに対応させることも可能です。

Process parameter variation

パラメータのばらつきは、無相関、相関を持っている、もしくは、部分的に相関があるものとして、キャラクタライズ可能です。相関のあるパラメータ・セットは一緒にシミュレーションされますが、無相関なパラメータ・セットは独立してシミュレーションされます。部分的な相関は、ファウンドリから提供される相関行列を使用することで対応されています。

入力する SPICE モデルにあるプロセス・パラメータは、XL や Vth などの物理パラメータ、もしくは、主成分分析 (PCA) から導出された中間パラメータを含めて、キャラクタライズすることができます。

Systematic and random variation

セル間のシステムティックばらつきとしての process ばらつきは、セル内の各トランジスタに対して同じ量が同じ方向の変化となります。システムティックばらつきにより、オンチップ (ローカル) とオフチップ (グローバル) の両方をモデル化できます。

セル間のランダムばらつきは、各トランジスタに個別に与えられたプロセスのばらつきをモデル化します。これは、mismatch として知られています。ランダムばらつきの影響をキャラクタライズするために、Variety は Inside View のプリ解析技術を使用します。これは、全てのテーブル・エントリーに対して、全てのトランジスタを一意にキャラクタライズすることを避けるためです。この独自の手法は、既存のモンテカルロ・シミュレーションに対して非常に精度があることが確認されています (図 10)。

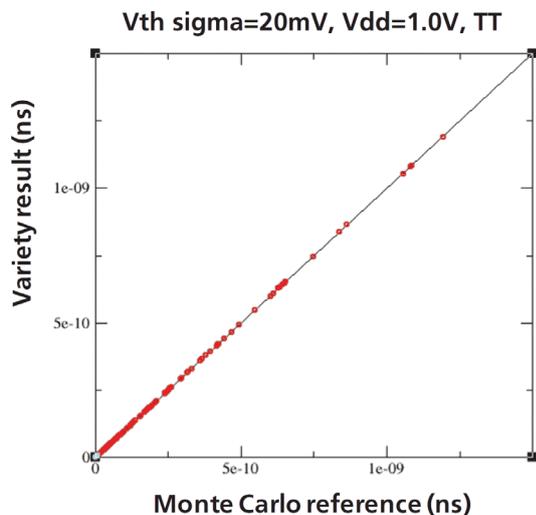


図 10. プロセス・パラメータばらつき

通常のキャラクタライズと比較して、Variety のランダムばらつ

きのキャラクタライズのオーバーヘッドは、通常 3 倍小さくなります。Inside View のテクノロジーが無ければ、一般的なスタンダード・セル・ライブラリーの各ランダム・パラメータのノミナルのキャラクタライズに、25 から 50 倍かかることが予想されず。

Variety は、インテリジェントなジョブ分散を介してマルチコア CPU の大規模ネットワークをうまく活用し、CPU 当たりの直線的な速度向上を実現します。キャラクタライズの処理は、ネイティブに統合されている Spectre 回路シミュレータや、サード・パーティー・シミュレータを用いて、単一のアークから完全なセルまでの任意の粒度で実行することができます。

Liberate MX Solution

Cadence Virtuoso Liberate MX Memory Characterization Solution は、大規模メモリー・コアに対応するように、スタンダード・セルや I/O ライブラリーを非常に高速にキャラクタライズする Liberate の機能を拡張したものです。マクロ・ブロックは、高速にかつ高精度のキャラクタライズの実行をさせるために、追加のプリ解析のステップを必要とします。

キャラクタライズの実行時間を最適化するための、分散 CPU のネットワークの活用と Inside View テクノロジーを利用することで、メモリー・コアは、スタンダード・セルと同じ精度と手法を持って、迅速にかつ簡単にキャラクタライズし、タイミング制約の生成と、タイミング、パワー、ノイズの電流源モデルのモデリングが可能となります。

ほとんどチップにおいて、メモリーや大規模マクロがシリコンの大部分のエリアを占めています。その結果、チップ性能や電力消費の大きな要因となります。デザインの電氣的な性能を検証するには、各マクロは、スタンダード・セルや I/O の電氣モデルの精度と同等の非常に高い精度の電氣モデルを持つことが不可欠です。

IP プロバイダーやメモリー・コンパイラーにより提供されるプリパッケージ・モデルを使用することで、特に、それがチップに配置されるまでマクロの正確な作用が分からないために、十分な精度を得られないことが予想されます。モデルは、あまりにも悲観的で、スケジュールの超過の原因となり、タイミングをクローズさせるために、より大きなセル、もしくは、漏れの多いセルの使用が増える可能性があります。また、電力を削減するために、低電圧でマクロ・ブロックを動作させることが一般的です。マクロの正確な使用法を反映し精度を持った電氣モデルを得るには、デザイン固有およびまたはインスタンス固有のマクロ・ブロックのキャラクタライズが必要となります。

Bi-modal view characterization

Liberate MX は、大規模マクロ・ブロックを効果的に、かつ、精度をもってキャラクタライズするために、フルブロック表示と分割したサブブロック表示の両方を使用します。フルブロック表示は、電力のキャラクタライズとサブブロックの分割を実行するために使用されます。通常、Spectre XPS などの FastSPICE シミュレータがフルブロック回路の解析に使用されます。続いて、サブブロックを精度よくキャラクタライズするときに、Spectre 回路シミュレータや Spectre APS などの精度のある SPICE シミュレータが使用されます。

Liberate MX では、FastSPICE シミュレータのみを用いた単一ブロックのキャラクタライズを、オプションとしてサポートしています。

Circuit partitioning

各マクロを分割するために、Liberate MX は、クロック信号の伝搬と内部ストレージ素子の認識から、内部の観測ポイントを最初に決定します(図 11)。

スタティック・パーティションは、単に回路トポロジーに基づき、マクロの完全なデジタル・セクションに使用されます。典型的なスタティック・パーティションは、必要なクロック生成回路の全てを含む、プライマリの入力から第 1 レベルのフリップフロップまでのパス上の全てのチャンネル・コネクタ・ロジック・コンポーネントを含みます。

ダイナミック・パーティションは、パーティション・シーケンスや上位の真理値表の記述を使用したフルブロックのトランジスタ・シミュレーションから導出されます。シミュレーションから、ワーストケースのタイミングに相当する、アクティブな回路のスナップショットが抽出されます。ダイナミック・パーティショニングは、エンベデッド・メモリーの clock-to-output-data アークなど、アナログ回路を含むタイミング・アークのキャラクタライズに有効です。

マクロが数百のトランジスタを含むサブブロックに分割され、各パーティションのそれぞれのアークのキャラクタライズに必要なワーストケースのベクター・セットが準備されれば、Liberate MX は、統合された Spectre 回路シミュレータや Spectre APS、もしくは、外部シミュレータを使用して、キャラクタライズするための各パーティションを提出します。

Library generation

Liberate と同じキャラクタライズ技術や同じコマンド・オプションを使用し、利用可能な全ての CPU を使うコンピュータの分散ネットワークを経由し、各 Liberate MX パーティションのアークがキャラクタライズされ、タイミング、電力、ノイズの電流源モデル(CCS/ECSM)が生成されます。ジョブは、分散処理管理システムにより制御されます。

タイミング制約は、スタンダード・セルと同じ二分法を用いて計算されます。さらに、より効果的にクロックやデータパス遅延の差として計算されます。

キャラクタライズ後、各パーティションのキャラクタライズされたライブラリーの全てのデータは、Liberty フォーマットのマクロの形式で、単一の出カライブラリーに集約されます。

Liberate AMS Solution

Cadence Virtuoso Liberate AMS Mixed-Signal Solution は、大規模なミックスドシグナル・マクロ(例えば、PLL、ADC や DAC のデータ変換、SerDes、高速トランシーバ、高速 I/O)に対応するように、スタンダード・セルや I/O ライブラリーを非常に高速にキャラクタライズする Liberate の機能を拡張したものです。マクロ・ブロックのキャラクタライズでは、高速にかつ高精度のキャラクタライズの実行をさせるために、追加のプリ解析のステップを必要とします。

キャラクタライズの実行時間を最適化するための、分散 CPU のネットワークの活用とハイブリッド・パーティショニングのテクノロジーを利用します。これにより、ミックスドシグナル・マクロは、スタンダード・セルと同じ精度と手法を持って迅速に、かつ、簡単にキャラクタライズし、タイミング制約の生成と、タイミング、パワー、ノイズの電流源モデルのモデリングが可能となります。

デザインの電氣的な性能を検証するには、各ミックスドシグナル・マクロは、スタンダード・セルや I/O の電氣モデルの精度と同等の非常に高い精度の電氣的モデルを持つことが不可欠です。また、電力を削減するために、低電圧でマクロ・ブロックを動作させることが一般的です。マクロの正確な使用方法を反映し精度を持った電氣的モデルを得るには、デザイン固有およびまたはインスタンス固有のマクロ・ブロックのキャラクタライズが必要です。

Hybrid partitioning

Liberate AMS は、大規模ミックスドシグナル・マクロ・ブロックを効果的に、かつ、精度をもってキャラクタライズするために、フルブロック・ビューと分割したサブブロック・ビューのハイブリッド・パーティショニングを使用します。

フルブロック・ビューは、電力のキャラクタライズとサブブロックの分割を実行するために使用されます。通常、Spectre XPS などの FastSPICE シミュ

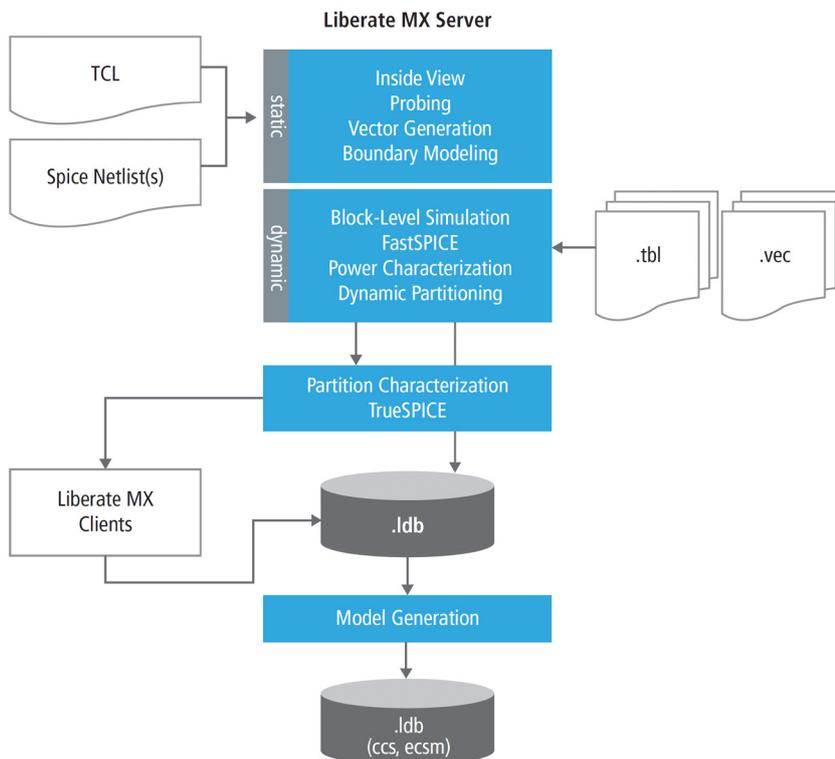


図 11. メモリー・キャラクタライズ・フロー

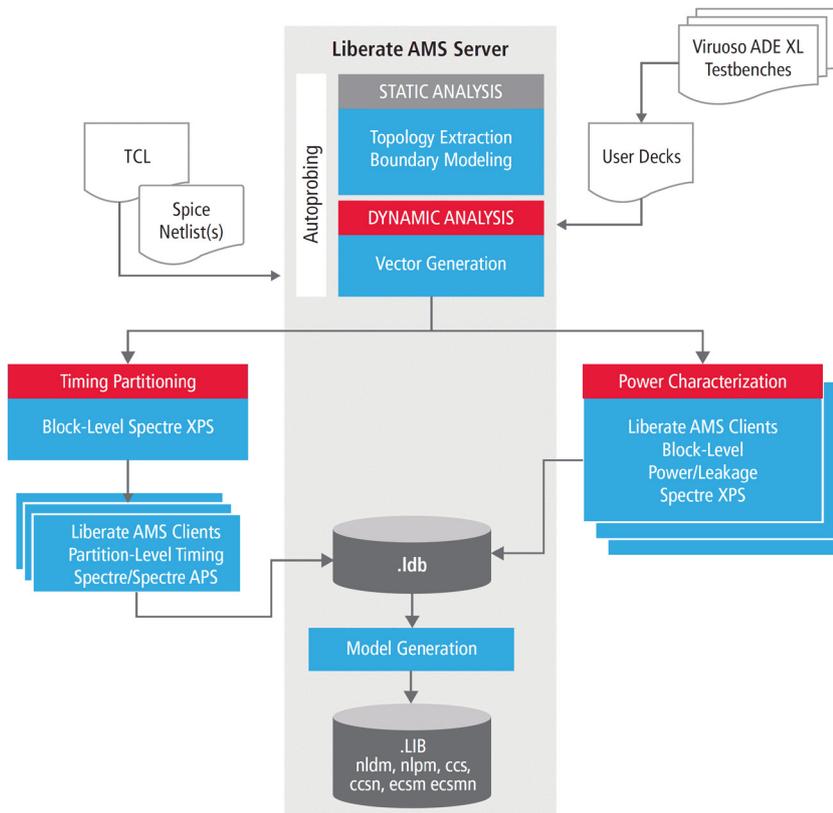


図 12. ミックスドシグナル・マクロ・キャラクタライズ・フロー

レータがフルブロック回路の解析に使用されます。続いて、サブブロックを精度よくキャラクタライズするときに、Spectre 回路シミュレータなどの精度のある SPICE シミュレータが使用されます。

各マクロを分割するために、Liberate AMS は、クロック信号の伝搬と内部ストレージ素子の認識から、内部の観測ポイントを最初に、決定します(図 12)。これは、スタティックとダイナミックの二つの異なる技術を使用します。

スタティック・パーティションは、単に回路トポロジーに基づき、マクロの完全なデジタル・セクションに使用されます。典型的なスタティック・パーティションは、必要なクロック生成回路の全体を含む、プライマリの入力から第1レベルのフリップフロップまでのパス上の全てのチャンネル・コネクタ・ロジック・コンポーネントを含みます。

ダイナミック・パーティションは、パーティション・シーケンスや上位の真値表の記述、テストベンチを使用したフルブロックのトランジスタ・シミュレーションから導出されます。シミュレーションから、ワーストケースのタイミングに相当する、アクティブな回路のスナップショットが抽出されます。ダイナミック・パーティショニングは、高速ミックスドシグナル・マクロの input-data-to-internal-clock アークや internal-clock-to-output-data アークなど、アナログ回路を含むタイミング・アークのキャラクタライズに有効です。

マクロが数百のトランジスタを含むサブブロックに分割され、各パーティションのそれぞれのアークのキャラクタライズに必要とされるワーストケースのベクター・セットが準備されれば、Liberate AMS は、統合された Spectre 回路シミュレータや

Spectre APS、もしくは外部シミュレータを使用して、キャラクタライズするための各パーティションを提出します。

Liberate AMS では、FastSPICE シミュレータのみを用いた単一ブロックのキャラクタライズを、オプションとしてサポートしています。

Virtuoso ADE/ADE-XL integration

Liberate AMS は、Virtuoso 環境に統合されています。Liberate AMS は、Virtuoso Analog Design Environment (ADE/ADE-XL) のテストベンチとセットアップを利用(再利用)するデッキ・ドリブンのキャラクタライズを可能にします。その結果、回路の設計や検証のフローを大幅に変更することなく、アナログ回路設計者は、回路設計検証からライブラリー生成に迅速に移行することができます。

Library generation

Liberate と同じキャラクタライズ技術や同じコマンド・オプションを使用し、利用可能な全ての CPU を使うコンピュータの分散ネットワークを経由し、各 Liberate AMS パーティションのアークがキャラクタライズされ、タイミング、

電力、ノイズの電流源モデル(CCS/ECSM)が生成されます。ジョブは、分散処理管理システムにより制御されます。

タイミング制約は、スタンダード・セルと同じバイナリーサーチを用いて計算されます。さらに、より効果的にクロックやデータパス遅延の差として計算されます。

キャラクタライズ後、各パーティションのキャラクタライズされたライブラリーの全てのデータは、Liberty フォーマットのマクロの形式で、単一の出カライブラリーにまとめられます。

Cadence Services and Support

- Cadence のアプリケーションエンジニアは、技術問い合わせに回答いたします。Cadence では、テクニカルな支援や個別のトレーニングコースも用意しています。
- Internet Learning Series(iLS)のオンラインコースでは、インターネット経由で、自身のコンピュータ環境でトレーニングを自由に受講することができます。
- Cadence Online Support では、沢山の最新のソリューションの知見や技術資料の参照や、ソフトウェアのダウンローが可能です。
- 詳細は以下をご覧ください：
www.cadence.com/support-andtraining

cadence®

日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
営業本部
TEL.(045)475-8410 FAX.(045)475-8415
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL.(06)6121-8095 FAX.(06)6121-7510
URL <http://www.cadence.co.jp/>



販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
TEL.(045)474-2290.2291.2293(営) FAX.(045)474-2395
〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
TEL. (06)6121-7703(営) FAX. (06)6121-7720
URL <http://www.innotech.co.jp/>