

Virtuoso ADE Assembler

Extensive design exploration, simulation, and verification

Cadence® Virtuoso® ADE Assembler は、Virtuoso ADE Explorer の機能を拡張した、すべての動作点、プロセス、環境条件にわたりデザインを完全に検証するために必要なすべてのテストを取り込むことができる先進の設計とシミュレーション環境です。Virtuoso Variation Option と組み合わせて使用することで、より高度な統計解析が可能です。Virtuoso ADE Product Suite の一部として、Virtuoso ADE Assembler は、単体で動作することができ、さらに、Virtuoso ADE Explorer や Virtuoso ADE Verifier とあわせて運用することで、アナログ、カスタム、RF、ミックスシグナル IC に対する包括的かつ完全な設計ソリューションを提供します。

Virtuoso ADE Product Suite の概要

新しい Virtuoso ADE Product Suite は、設計者が設計期間のあらゆる場面で設計の意図を維持し、デザインをそのゴールに対し完全に探索、解析、検証できる環境を提供します。アナログ・シミュレーションの制御と管理に対し、業界を牽引するソリューションとして、Virtuoso ADE プロダクト・スイートは、設計者がデザインフローにおいて最善の製品を選択できる柔軟性を提供します。Virtuoso ADE Explorer は、モンテカルロ統計解析、コーナー・スイープ、Pass/Fail 判定、および Cadence Spectre® Simulation Platform を使ったリアルタイム・チューニングのサポートを含む、シミュレーションの容易な実行により、解析処理をすばやく開始できる環境を提供します。

Virtuoso ADE Assembler は、Virtuoso ADE Explorer の機能を複数のテストベンチを同時に扱えるように拡張した環境で、大規模アナログ・ブロックのすべての側面を監視できるよう、必要に応じて仕様比較シートやデータシートを生成し、すべての結果を容易に、かつ直接レビューすることができます。Virtuoso ADE Assembler には、寄生の解析、パラメータの再センタリングによるデザイン・マイグレーション、ばらつき解析のタスクを簡素化するワーストケース・コーナーの生成の機能も含まれます。先端プロセスノードや高シグマ・デザインの主要な課題に対応するため、Virtuoso Variation Option で、FinFET の高速モンテカルロ解析、高歩留まり見積もり、歩留まり改善フローを利用できます。最終的に、Virtuoso ADE Assembler と

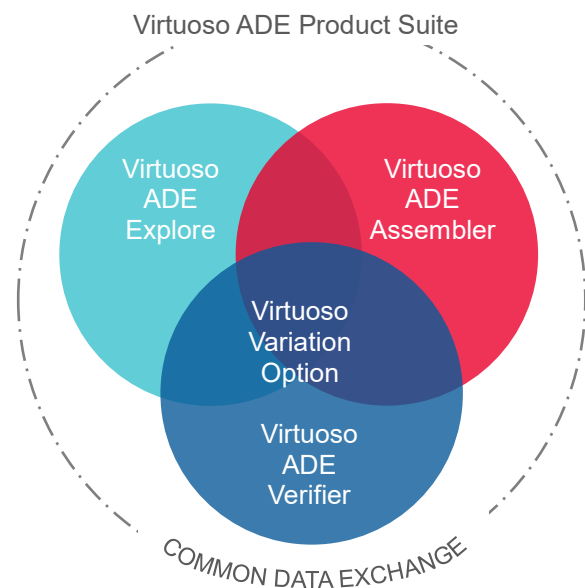


図 1. Virtuoso ADE Product Suite

Virtuoso ADE Explorer の実行結果は、Virtuoso ADE Verifier に取り込まれ、上位の回路仕様と異なる設計者や設計拠点で開発された個々の解析テストの対応を取ることができます。ステータスは 1 か所で管理されるため、図 1 に示すように回路設計者は常にデザインの完全なステータスを把握することができます。

Virtuoso ADE Assembler

Virtuoso ADE Assembler (Virtuoso プラットフォームでの先進的な設計およびシミュレーションの環境) は、目標仕様に対し、複数のデザインの広範囲での調査、徹底的で高速かつ正確な設計とバリエーション解析、検証機能を提供します。Virtuoso ADE Assembler のライセンスに含まれる Virtuoso ADE Explorer とシームレスに連携します。Virtuoso ADE Assembler では部分的なレイアウトからネットリストを生成してシミュレートすることができ、レイアウト依存効果の詳細な解析が行えます。また、Virtuoso Variation Option を併用することで、先端プロセスノードのばらつきや、高歩留まりの見積もり、統計的感度解析を行うことができます。図 2 をご参照ください。

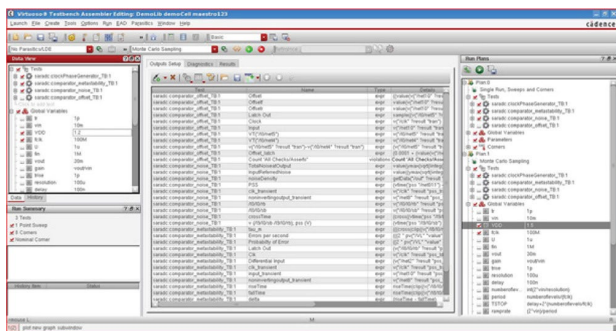


図 2. Virtuoso ADE Assembler cockpit showing run

主な利点

- ▶ Assembler に組み込まれた Run Plan を用いることにより、インタラクティブと新しいリグレッション・スクリプト言語の両方で、簡単にリグレッション・テストの小さなセットの生成と実行ができます。
- ▶ 複数のテストと条件にわたるデザインの解析により、デザインの詳細な検証を可能にし、検証結果を単一の使いやすいデータベースにまとめることができます。
- ▶ 複数のテストにわたるコーナー、パラメトリックスweep、モンテカルロ、信頼性解析をサポートします。
- ▶ ワorstケースコーナーや統計コーナー等の先進的なバリエーション解析ツールを搭載します。
- ▶ ターゲットとなる仕様に対するすべての結果に対して、素早い色分けフィードバックを行うことにより、デザインの意図を維持するのを助けます。
- ▶ 負荷分散ソフトウェアを使用したシミュレーションの分散とマルチテスト管理による最適な解析スループットを提供します。
- ▶ 統合されたドキュメント、仕様、測定結果、また波形を用いた設計レビューを簡易化します。

- ▶ 特にテストデータベースのバージョンングと波形のプロットにおける実質的パフォーマンスを向上しました。
- ▶ 高速なテストの開発と、レイアウト中のデザインに導入された物理的影響のデバッグのための、Cadence Virtuoso Schematic Editor と Virtuoso Layout Suite の綿密な統合を行いました。
- ▶ 寄生解析機能が組み込まれています。

主な機能

Specification-driven design

デザインの検証を高速化するために、Virtuoso ADE Assembler は仕様の入力とデザインの管理を 1 つの Cockpit に統合しました。仕様は測定されたゴールセットに対しての、すべての要求されたテスト、解析、動作条件を含んでいます。

Virtuoso ADE Assembler を用いることにより、簡単に複数のテストを作成することができ、すべての異なる条件でターゲットの仕様に対するデザインのパフォーマンス検証を行うことができます。それぞれの Virtuoso ADE Assembler のセッションをプロジェクトとして扱うことができ、設計者の意図に対してデザインを完全に検証するために必要なすべてのテスト、スイープ、コーナー、スクリプト、ドキュメントにアクセスできます。

すべてのテスト、使用されるシミュレータ、実施される解析(定義されたすべての変数とコーナーを含む)は、Data View アシスタントスクリーンに表示されます。最新の解析結果は右側の表形式のビューに表示され、ターゲット仕様に対しての pass または fail といったシミュレーション結果を色分け表示し、一目でわかるようになります。

結果は見やすく並び替え、置き換えることができます。回路の問題のある特定のエリアを追跡するために、データシートの先頭にあるフィルタを用いることで、大きなリストを、素早く操作することができます。単一の結果または結果のセットを右クリックすることで表示される Virtuoso Visualization and Analysis の波形ウィンドウにより、簡単かつ詳細に結果を探索できます。加えて、結果の履歴が自動的に維持されるため、以前の結果や異なるテスト構成の結果さえも、高速に確認することができます。

新しい Run Plan は、高速に複数のテストを設定し、条件付きで実行するために利用でき、その結果、次のセットの開始点としてテストの結果を用いることができます。図 3 をご参照ください。

```

Script created on "Jul 17 17:12:03 2015"
;; Loading setup
maeLoadSetup("test" "s11" "maestro" ?mode "a")

;; Post-simulation callback. Called after each run.
define( RunFinishedCallback(session runID)
  printf("Run ID %L has finished" runID)
)

;; Use maeExportOutputView() or maelwriteDatasheet() in to report the simulation
results, or maeReadResDB() for custom-processing
maeExportOutputView( ?fileName simplifyFilename( strcat("./" axlGetHistoryName
(axlGetRunData(session runID)) ".csv")) ?view "Detail-Transpose")
)

; Execute run plan Run_0
maeRunSimulation(?runPlan "Run_0" ?callback "RunFinishedCallback" ?waitUntilDone
nil)

; Execute run plan Run_1
maeRunSimulation(?runPlan "Run_1" ?callback "RunFinishedCallback" ?waitUntilDone
nil)

maeWaitUntilDone('All)
exit()

```

図 3. Example "run plan" that is auto-generated for easy regression scripting.

Sophisticated variation design

Virtuoso ADE Assembler では様々な内蔵ツールを用いて洗練されたバリエーション解析をサポートします。ワーストケースコーナーは、大量のコーナーセットを最大の回路ストレスを与える少数のコーナーセットに削減するために利用できます。この少数のコーナーセットを使って、完全なコーナーセットを実行することなく新しい測定やデザインの変更を素早くチェックすることができます。ローカルおよびグローバルの最適化アルゴリズムは、デザインをあるプロセスノードから次のノードへ移行する際、回路の歩留まりを維持するために、デザイン・センタリングのモードで使用されます。

チューニングモードは複数のテストベンチや複数の条件にわたって、デザインをすばやく調整することを支援します。設計者はこのモードで主導権を持ち、結果がどのように収束しているかに依存して、すばやくトレードオフを作成できます。Virtuoso Variation Option を組み合わせることにより、Virtuoso ADE Assembler は、先端プロセスノードの回路をより高速かつ統計的に解析する機能に拡張し、4~6 シグマの設計空間でのデザインの振る舞いを正確にイメージし、全体の歩留まりを改善するために自動化された技術を利用できます。

Integral part of the Virtuoso custom design platform

Virtuoso ADE Assembler は Virtuoso カスタムデザインプラットフォームの不可欠な部分です。設計者が抽出前と抽出後の双方でデザインを比較することができるため、Cadence IC 設計フローを完成させるシミュレーション環境によって、回路設計と物理レイアウトの間のギャップを埋めることができます。シミュレーションと波形表示用のクロスプロービングの双方で動作モデル言語への完全なアクセスとともに、IC 設計手法がアナログシステムをサポートします。シミュレーション後の動作状態は、ネット電圧、電流、デバイスの動作情報とともに簡単に回路図へアノテートすることができます。

Virtuoso Implementation-Aware Design オプションを組み合わせることにより、Virtuoso ADE Assembler を中央コックピットとして使用し、作成中のレイアウトを解析して、異なるレイア

ウトの選択による影響を早期に把握し、回路上のレイアウト依存効果を考慮したレイアウトを作成する最善の方法についてガイダンスを得ることができます。

主な仕様

Interactive simulation control

- ▶ シングルテストの操作のため ADE Explorer とのシームレスな運用
- ▶ 複数のテストベンチや条件にわたるスイープ、コーナー、モンテカルロ解析を含むデザインの探索
- ▶ Virtuoso Schematic Editor XL からのマッチングおよび相関の制約のサポート
- ▶ より複雑な解析のための、テスト間のパラメータ依存関係の生成と追跡
- ▶ Spectre Simulation Platform との統合
- ▶ テストフローの様々なステップに異なるテスト構成を保存し、結果を分析する機能
- ▶ シミュレーション結果からのスペックシート (HTML) の生成
- ▶ ターゲット仕様に対するシミュレーション・テストの結果の確認画面
- ▶ 回路図とレイアウトのクロス・プロービングとアノテーション
- ▶ ばらつき解析の Pre-run キャリブレーション・スクリプトのサポート
- ▶ ワースト・ケース・コーナー解析機能
- ▶ K シグマ統計コーナーの作成機能
- ▶ デザイン・センタリング機能
- ▶ デザイン・センタリングを支援するためのマルチ・テスト・チューニング機能
- ▶ グローバル最適化およびローカル最適化の機能
- ▶ 信頼性解析機能

Waveform display

- ▶ 複数の y 軸、ストリップ・プロット、スミス・チャート表示機能
- ▶ 波形カリキュレーター
- ▶ 独立したサブ・ウィンドウ表示機能
- ▶ 水平方向と垂直方向の測定マーカー機能
- ▶ パン/ズーム機能
- ▶ ユーザー定義のラベルおよびタイトル
- ▶ 色指定およびライン設定の機能
- ▶ 信号ブラウザー
- ▶ 色を合わせた、回路図とのクロスプローブ機能

Distributed processing

- ▶ 複数シミュレーションの分散処理
- ▶ コンピューター・ファームの効率的な使用
- ▶ 基本的なロード・バランス・システムの組み込み、および、他のロード・バランス・ツールとのインターフェイス
- ▶ ジョブのモニタリングと制御機能

- ▶ 設定とステータス確認のグラフィカル・インターフェイス

Cadence Services and Support

- ▶ Cadenceのアプリケーションエンジニアは、技術問い合わせに回答いたします。Cadenceでは、テクニカルな支援や個別のトレーニングコースも用意しています。
- ▶ Internet Learning Series (iLS)のオンラインコースでは、インターネット経由で、自身のコンピュータ環境でトレーニングを自由に受講することができます。
- ▶ Cadence Online Supportでは、沢山の最新のソリューション

ションや技術資料の参照や、ソフトウェアのダウンロードが可能です。

- ▶ サポートについての詳細は、以下をご覧ください：
<https://www.cadence.com/support>
- ▶ トレーニングについての詳細は、以下をご覧ください：
<https://www.cadence.com/training>

cādence®

ケイデンスは、電気・電子設計におけるグローバルな革新を可能にし、今日のエレクトロニクス製品を生み出すために重要な役割を果たしています。お客様はケイデンスのソフトウェア、ハードウェア、知的財産 (IP)、ノウハウを活用して、今日のモバイルアプリケーション、クラウドアプリケーション、コネクティビティアプリケーションを設計、検証できます。www.cadence.com/jp

© 2020 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence および Cadence ロゴは Cadence Design Systems, Inc. の米国またはその他の国における登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。13812 03/20 SA/RA/PDF