

Accelerating Monte Carlo Analysis at Advanced Nodes

By Lucas Zhang, Sr Principal Software Engineer; Hongzhou Liu, Software Engineering Director; and Steve Lewis, Product Management Director, Cadence

先端プロセス・ノードのデザインは、これまでよりも大きなばらつきをもつことから、高い歩留まりを得ることが非常に困難です。その一方で、デザインがスペックを十分に満たすかどうかを見積もるために、数千もしくは数百万の統計シミュレーションを実行することは現実的ではありません。また、製造のばらつきを見込み、過度に余裕を持たせた設計をすることは効果的ではありません。このホワイト・ペーパーでは、先端プロセス・ノードの高品質な設計や意欲的なプロジェクト期間を達成させるために、ファウンダリーに認定されている手法である高速 Monte Carlo 解析の技術について紹介します。

目次

Introduction.....	2
Why Traditional Methods Face Difficulties at Advanced Nodes	2
Advantages of a Variation-Aware Design Methodology	2
Two Algorithms for Fast, Accurate 3-Sigma Corner Creation...3	
K-Sigma Corners Algorithm.....	4
Worst Samples Algorithm	4
Mismatch Contribution.....	7
Efficient Yield Verification Via Sample Reordering.....	8
Fast Monte Carlo Analysis for High-Yield Designs.....	10
Summary	12
For Further Information	12



Introduction

悩んでいることがプロセス／電圧／温度（process/voltage/temperature、PVT）のコーナーであったときを考えてみてください。この作業は、2桁にもおよぶプロセス・コーナーや、温度、電圧のスweepを伴う、大変面倒な作業でした。設計者は、Monte Carlo 解析を実行したことがあるかもしれませんが、これは非常に時間がかかり、さらに、問題を解決するために何を実行するのか常に明確ではありませんでした。

近年、デザインのスケール・ダウンが常に生じ、相対ばらつきがさらに大きくなる傾向にあります。デザイン・シュリンクでは、単純に製造工程における各段階の精度の制御がますます難しくなります。このため、すべてのノードに対して統計解析の重要性（とその効果）は増加し、先端プロセス・ノードでは、ばらつきを精度良くかつ効果的に扱うことが従来のノードよりも重要になります。

PVT の影響を考慮しながら、冗長な設計をしないようにすることや期日を破らないようにすることは、大変です。新しい高速 Monte Carlo 解析の技術は、歩留まりや性能の劣化を効率的に防止することをサポートし、レイアウト設計よりも前に問題点を明らかにし、それらを早期の解決やスケジュールを守ることに貢献します。最初に、先端プロセス・ノードの設計では、従来のコーナー・ベースの手法では正確さを欠くことや、従来の Monte Carlo 解析では十分ではないことの概要を述べ、新しい技術がこれらの課題に対応するものであることを説明します。

Why Traditional Methods Face Difficulties at Advanced Nodes

16nm やそれ以降のプロセス・ノードにおいて、ばらつきは非常に無視できないものとなっています。ばらつきを制御するための従来のアプローチ、例えば、デジタル回路向けのファウンドリーが提供しているコーナー特性を用いることはもう通用しなくなっています。その結果、精度が十分でないことが生じます。Monte Carlo 解析は、性能を評価する、回路動作の統計的な変動を正確に収集するための1つの解析機能です。

しかし、従来手法の Monte Carlo のアプローチの大きな欠点は、デザインの歩留まりをより精度よく描くためには一般に非常に多くのサンプルポイントを必要とすることが挙げられます。これは、時間消費の問題となります。数百回の実行のみで10万回のシミュレーションを実行したときと同等の精度を確保した歩留まりを得ることができたらと、想像したことはありませんか。調整が必要なデザイン・パラメータを明確に分かっているとしたらと、想像したことはありませんか。または、数週間のシミュレーションを費やさずに設計しているデザインの歩留まりが良いことを、自信をもって証明できる方法があったとしたらと、想像したことはありませんか。

Advantages of a Variation-Aware Design Methodology

Variation-Aware Design メソッドロジー（図 1）を用いれば、最大限の効果をもちながら設計の初期段階から最終のサインオフまでの必要なすべてを満たすフローを通じて、これらの課題を扱うことが可能となります。

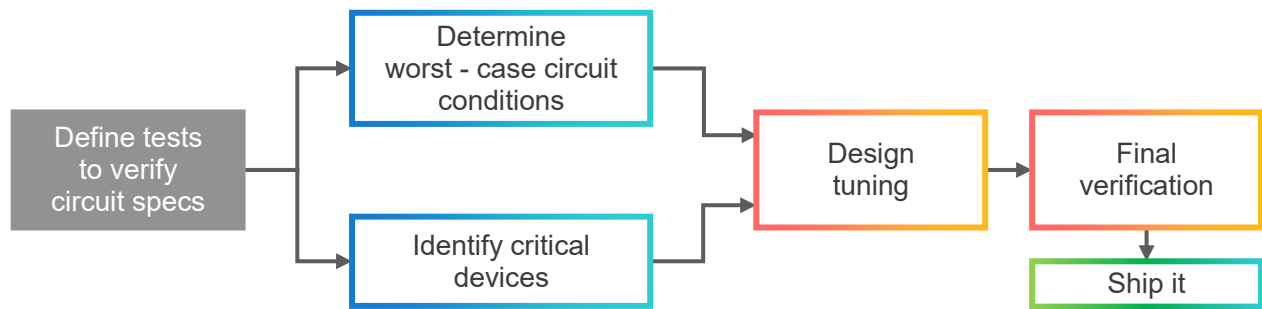


図 1: Variation-Aware Design メソッドロジ

初期設計がノミナル条件でデザイン仕様を満足した後、次は高い歩留まりを得られるようにデザインを繰り返し調整することになります。ケイデンスは、以下の2つの重要な問題に回答する形で、設計の生産性の向上を支援する Variation-Aware Design メソッドロジを開発しました。

- ▶ どのシミュレーションを実行すべきか
 毎回デザインを調整するたびに時間を消費する Monte Carlo シミュレーションの実行の代わりに、統計コーナーとして Monte Carlo からワースト・ケースの回路条件を抽出します。繰り返し設計をおこなう場合には、これら統計コーナーに対してのみ設計すればよくなります。
- ▶ どのデザイン・パラメータを調整すべきか
 最大限の効果を得るためには、各デザイン仕様に対して最も影響のあるデザイン・パラメータがどれかと同時に統計ミスマッチばらつきによりどのデバイスが最も強く影響を受けるかを特定したくなります。

デザインがすべての統計コーナーをパスした後、目標に定めた歩留まりにデザインが到達するか確認するための最終検証を実施します。繰り返しますが、高速 Monte Carlo アルゴリズムは、標準の Monte Carlo シミュレーションによる力任せの膨大な数の実行を生じさせないようにするために利用されます。FinFET デバイスの登場によって生じたトランジスタ技術の抜本的な変化は、高速モンテカルロ解析の技術を必要とする一因となっています。FinFET は、サイズと形状に特有のルールがあるため、設計者はトランジスタが何をやるかについてより多くの前提を立てることができます。このようなルールは、プレーナー型トランジスタにはありませんでした。プレーナー型トランジスタには、見た目や形状を決めてかかることがないような束縛のない非常に多くの手段があります。しかし、FinFET の場合、感度解析と Monte Carlo モデリングにより、回路が動作について複合した結果を作ることができます。さらに、この複合化した結果は、高い信頼水準をもち正確なものとなります。

Two Algorithms for Fast, Accurate 3-Sigma Corner Creation

従来の Monte Carlo 解析は、概して 3-シグマの歩留まりを検証します。3 シグマは 0.13%の確率に相当することから、表 1 に示したように検証には多数のサンプリングが必要となります。

Confidence	Number of Samples
80%	1200
90%	1700
95%	2200

表 1. さまざまな信頼水準に対して 3-シグマの歩留まりを検証するために必要なサンプル数

この検証作業の規模を考えれば、少ない数の通常の Monte Carlo サンプルから 3 シグマ・コーナーを抽出して設計することが有用です。所望の精度を保ちながら回路全体の解析を高速化するために、コーナーの作成を高速化する 2 つのアルゴリズムを開発しました。

K-Sigma Corners Algorithm

1 つ目は、K-Sigma Corners と呼ばれるアルゴリズムです。このアルゴリズムでは最大 200 の Monte Carlo サンプルで 3 シグマ・コーナーを作成できます(比較として、力任せに実行する普通のモンテカルロ解析では一般に 2000 サンプルが必要です)。各 3 シグマ・コーナーは、回路とパフォーマンスに依存します。最初のステップは、3 シグマの目標値を抽出することです。正規分布の場合、3 シグマの目標値は $\text{mean} + 3 * \text{std}$ から見積もることができます。分布が正規分布ではない場合、正規分布を拡張した分布群から分布を適合させます。どの分布を用いるかは、スピードと精度の間の最適なトレードオフを取るように正規性検定を行うことで自動的に決められます。

続いて、コーナーを抽出します。このコーナーは、プロセス・パラメータの関数として性能をモデル化するスマート・フィッティング・アルゴリズムにより、目標値と一致するようになっています。抽出されたコーナーが目標値と十分な一致が見られないとき、例えば、いくつかの高い非線形性をもった出力があるようなときは、ノミナルのポイントとモデルからのコーナーを接続したライン上を探索することで、コーナーを調整します。(この探索には、さらに最大 11 回のシミュレーションを必要とします。しかし、ほとんど場合、既にこのコーナーは正確で追加のシミュレーションは 1 回のみ必要です。)

Monte Carlo 解析は、3 シグマ・コーナーを抽出するために、正確な分布モデルがフィットされたときに、自動で終了されます。先に述べているように、3 シグマ・コーナーのためのモデルのフィッティングは、200 回の実行で可能です。もし線形性の強い出力の場合には、モデルのフィッティングを 50 ポイントの実行でできることもあります。問題となっているデザインが、既に目標のシグマ値に達していることもあります。この場合、統計コーナーに対してデザインをさらに改善することは、もう必要ありません。K-Sigma Corner アルゴリズムの最後には、各スペックの確率が既に目標値に達しています。

Worst Samples Algorithm

2 つ目は、Worst Samples アルゴリズムです。このアルゴリズムは、精度を落とさずに解析の工程を加速するために Monte Carlo の各実行の順番を並び替えます。このアルゴリズムでは、最初に応答局面モデルを構築し、基礎となる統計パラメータの関数として各出力をモデル化するための初期サンプリングが行われます。ケイデンスの Worst Samples アルゴリズムは、次にこのモデルをベースにしたワーストからベストに向かって、繰り返しモンテカルロ・サンプルを実行します。言い換えれば、それらの一番問題が起きそうなサンプルが最初に実施されます。各出力からのワースト・サンプルは、その後の設計の繰り返しの Monte Carlo サンプリングの代わりに、コーナーとして保存されます。図 2 に、このアルゴリズムのフローを示します。

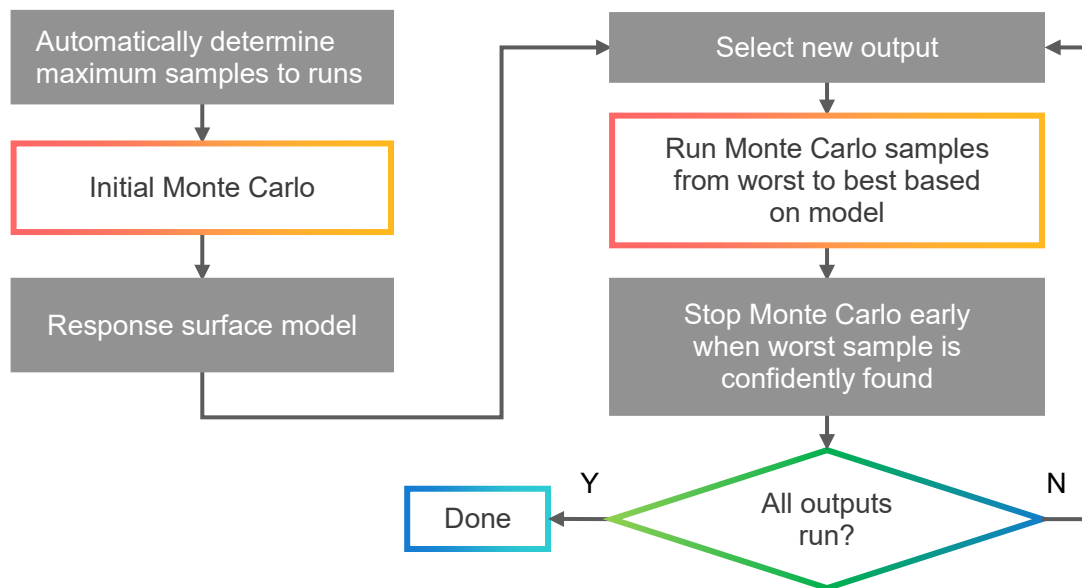


図 2: Monte Carlo Worst Samples アルゴリズムのフロー

各スペックについての応答曲面モデルが生成されたときに、初期の Monte Carlo 解析は自動で停止します。モデルの生成工程は、必要となるサンプル数を効果的に削減するためにケイデンスの特許技術を用いています。（この技術は Virtuoso® Variation Option と Virtuoso Analog Design Environment GXL (ADE GXL) にて使用可能です。）もう 1 つの方法として、シミュレーションで必要とされるサンプリング数をさらに削減するために、TSMC の Variation-Aware API から得られる重要なデバイス情報を利用することも可能です。この API は、Virtuoso ADE 環境と密に統合されており、Virtuoso ADE GXL や Virtuoso Variation Option から、デバイスあたり 1 変数を用いて重要なデバイスを特定するための感度解析を実行することが可能となっています。初期 Monte Carlo 解析の実行の後、各スペックはモデルにより近似されます。ケイデンスのテクノロジーを用いることで、モデルはすべての統計パラメータが取り込まれています。各デバイスに対して TSMC の手法を用いることで、6 から 7 のミスマッチ・パラメータが Vth を表す 1 つのパラメータに置き換えられ削減されます。これは、次元を大きく削減します。

ケイデンスの手法の場合では、サンプルが並び替えられた Monte Carlo シミュレーションは、残りのサンプルがワースト・サンプルを含む可能性が極めて小さいことが高確率となったときに停止します。TSMC の API を用いるとシミュレーションは、一括シミュレーションの後に新しいワースト・サンプルが見つからないときに停止します。

コーナー・ケース生成について、我々の最初のアルゴリズムと比較すると Worst Samples アルゴリズムは前もっていくつのシミュレーションが収束するのが保障されていません。ワースト・ケースのシナリオにおいて、この手法はより多くのシミュレーションを実行します。その一方で、より高い精度をもたらします。この手法は TSMC 16FF+カスタム・デザイン・リファレンス・フローを構成する部分で、API は TSMC の Process Design Kit (PDK) GEN2 と Virtuoso ICADV12.1（それ以降のバージョン）で使うことができます。図 3 は、ケイデンスの手法もしくは TSMC API のいずれかによる並び替えられたモンテカルロ解析の停止条件を図示しています。

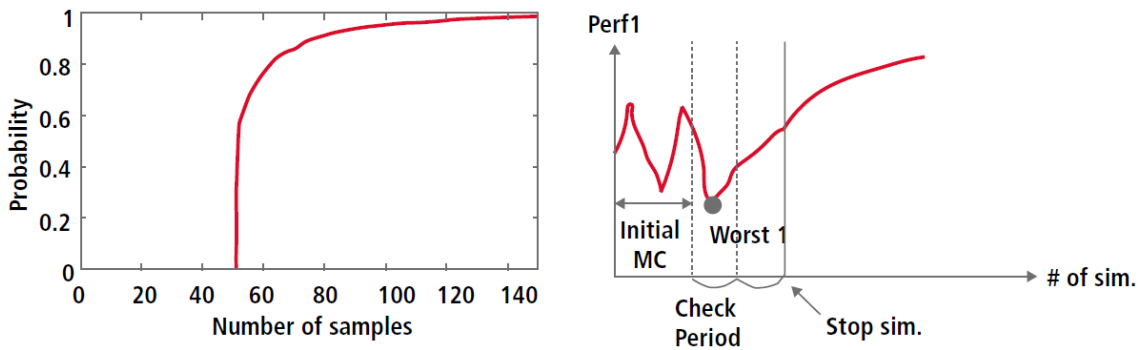


図 3: 左のグラフは、ケイデンスの手法での場合です。現在のワースト・サンプルよりも悪くなるかもしれないサンプルが、残りのサンプル空間に存在しないということが高確率となったときにシミュレーションが停止します。右は TSMC の手法を表しています。新しいワースト・サンプルが、一括シミュレーションの後に見つからなければ、シミュレーションが停止します。

自身の設計に、どちらのコーナー生成アルゴリズムを用いるべきかという疑問があると思います。この答えとしては、設計しているデザインのタイプに依存すると言うことができます。確実にシミュレーション・バジェットがある場合には、バジェット内で可能な限り精度よくコーナー生成する最初のアルゴリズム (K-Sigma Corners) を用いることが考えられます。非常に多くの場合で、このアルゴリズムはとても信頼でき、実際の 3 シグマ・コーナーに非常に近いコーナーを生成することができます。事実上、10-40 倍のシミュレーションの速度の向上と 0.5 シグマ以内の差の精度のシミュレーション結果を得ることができます。シミュレーションにより時間を費やすことができるならば、2 つ目のアルゴリズム (Worst Samples) が考えられます。この手法はより時間がかかりますが、高精度の結果をもたらします。Worst Samples アルゴリズムは回路タイプに依存してシミュレーションの速度向上が見込めます。従来手法の Monte Carlo よりは 10 倍より大きい速度向上が見込めます。

我々のコーナー生成アルゴリズムの実験例では、確実に速度向上していることが観測されています。TSMC 16nm プロセスで作られた 2 ステージ・オペアンプ (図 4) の例において、利得、帯域幅、位相余裕を測定しました。このとき、1832 サンプルした Monte Carlo シミュレーションからワースト・サンプルを生成しました。(この計算は、90%の信頼があり 99.865%の歩留まりを検証した控えめな数値です。)

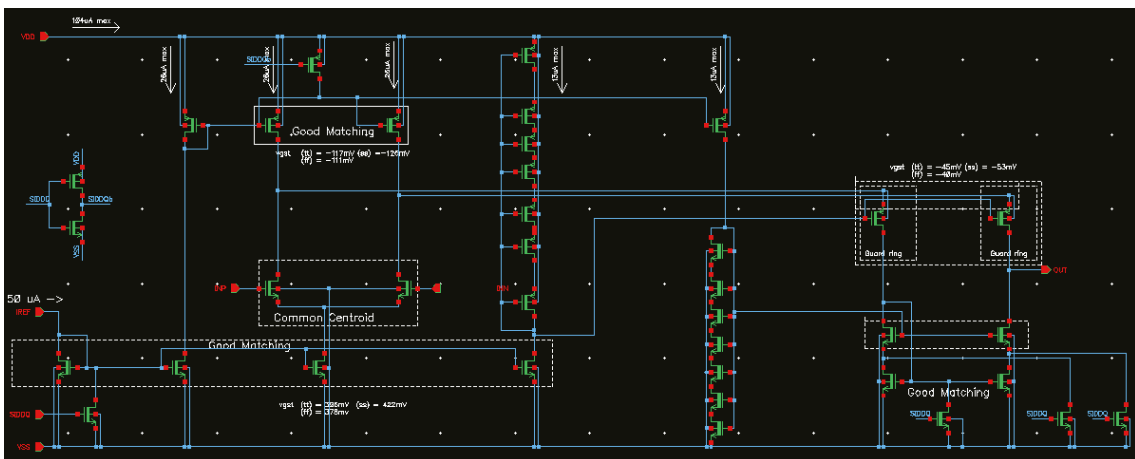


図 4: TSMC 16nm プロセスを用いた 2 ステージ・オペアンプの例

はじめに、Monte Carlo ワースト・サンプルのフローにおいて、Virtuoso ADE GXL で実行して、シミュレーションは 201 ポイントで自動停止しました。すべての出力のワースト・サンプルは、完全な Monte Carlo シミュレーションの結果と一致しました。結果として、この実験例では 9 倍のシミュレーションの速度向上を得ることができました。次に、TSMC Variation-Aware API を使ったフローを試行しました。このとき、Virtuoso ADE GXL は、110 ポイントの実行で自動停止しました。利得と位相余裕のワースト・サンプルは完全なモンテカルロ解析の結果と一致しましたが、その一方で、帯域幅の出力は、実際のワースト・サンプルと比較して 1% の誤差がありました。この 2 番目の実験では、17 倍のシミュレーションの速度向上を得ることができました。

Mismatch Contribution

ところで、回路がいくつかのコーナーにおいて十分な性能がいまだに得られていないとして、デザインを改善するために、この後に何ができるのでしょうか。このようなとき、設計者は経験的な勘を頼りにします。しかし、現在はデザインのどこを最適化すればよいのかガイドしてくれるテクノロジーを利用することも考えられます。

ミスマッチ・コントリビューションは、そのようなテクノロジーの 1 つです。この機能は、どのデバイスがより重要なのか、それが、いつばらつきに関連するのかをガイドします。先端プロセス・ノードでは、ミスマッチ解析は、もはやオプションではありません。なぜならば、ばらつきが回路性能に非常に影響するからです。任意のモンテカルロ解析を実行後に、ミスマッチ・コントリビューションの計算が可能となり、デバイス・ミスマッチに関して回路スペックの分散に対する重要な影響を及ぼすデバイスを特定することができます。アルゴリズムは、以下のようになります：

- ▶ 分散に基づくグローバル感度解析の実行
- ▶ 必要があれば二次もしくは線形モデルの適用
- ▶ ミスマッチ・パラメータが多くある場合には、スパース回帰テクノロジーを使用
- ▶ R^2 により、フィッティングしたモデルの適応度を表示

図 5 にあるミスマッチ・コントリビューションのテーブルは、各スペックの全分散に対して各デバイスの寄与をパーセンテージで示しています。各縦列は、最も大きな寄与を見るために容易にソートすることができます。

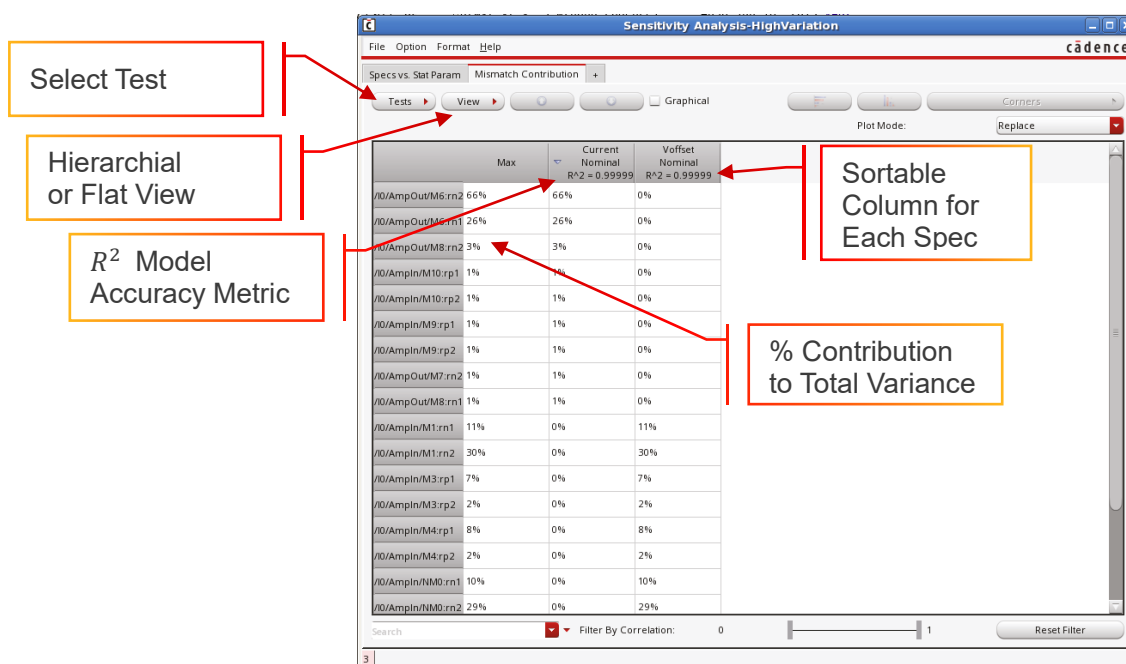


図 5: ミスマッチ・コントリビューション・テーブルの例

さらに、ミスマッチ・コントリビューションの階層ビューは各階層でのミスマッチの影響度を確認するときに便利な機能です。例えば、図 6 では、トップ階層のテーブルでは電流のばらつきの 97%がサブキット AmpOut からの寄与であることがわかります。その一方で、AmpIn の寄与は 3%であることが確認できます。AmpOut のばらつきをダブルクリックして、AmpOut のばらつきのほとんどが M6 デバイスからの影響であることが確認できます。また、ミスマッチ・コントリビューションのテーブルから、回路図上に配置されているデバイスに対話的にハイライトすることができます。この機能は、Virtuoso Variation Option と Virtuoso ADE GXL から使うことができます。

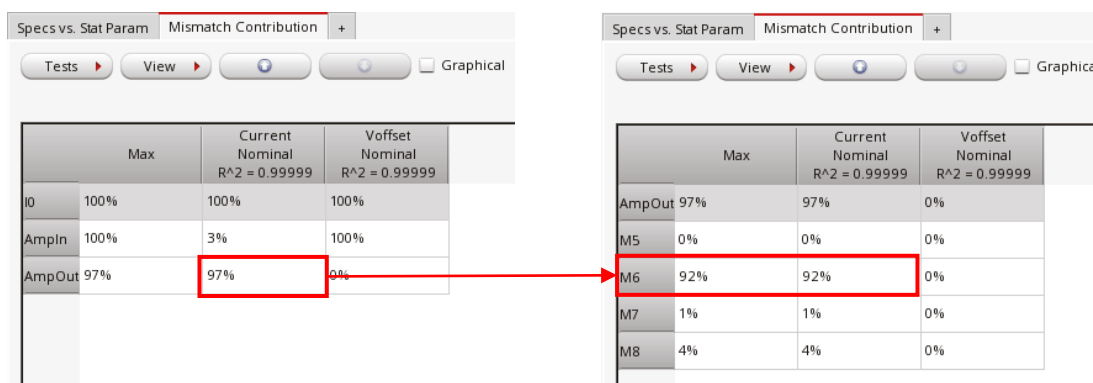


図 6: ミスマッチ・コントリビューション・テーブルの階層ビュー

Efficient Yield Verification Via Sample Reordering

ミスマッチ・コントリビューションからの重要なデバイス情報を利用することで、数回のイタレーションの後にすべてのコーナーをパスするようにデザインを修正することができます。その後、回路のサインオフとしての最終的なモンテカルロ解析を実行します。繰り返しの説明となりますが、すべてのモンテカルロ・サンプリングの実行には約 2000 サンプルが必要です。サンプルを並べ替える (図 7) ために生成し

た歩留まり検証のアルゴリズムを有効利用することで、より少ないサンプル数で同じ信頼度で回路のサインオフを実行することが可能です。

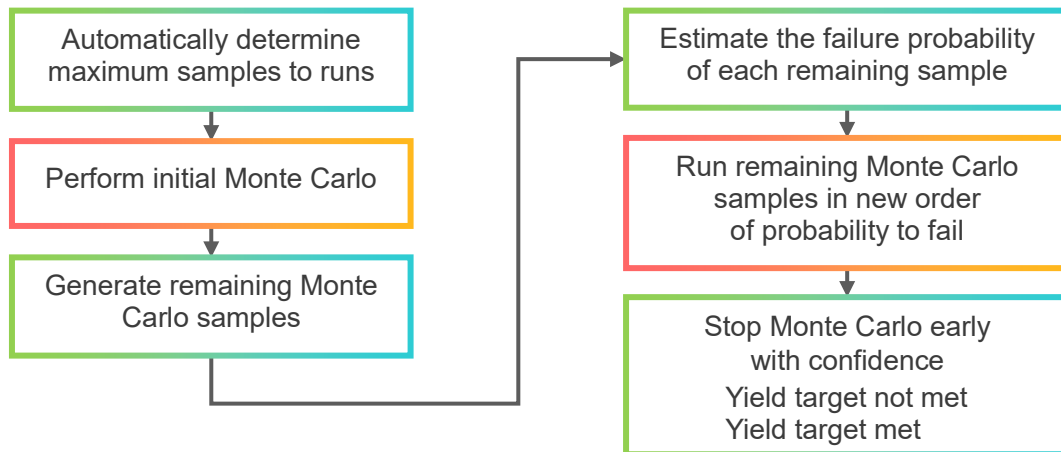


図 7: モンテカルロ 歩留まり検証アルゴリズムのフロー

Worst Samples アルゴリズムと同様に、応答曲面モデルを作るために、最初に初期サンプリングを実行し、続いて、基礎となる統計パラメータの関数として各出力をモデル化します。残りのサンプルは、どの仕様も満たさない確率を基にして順番が入れ替えられます。仕様ごとに並べ替えを行う必要がないため、歩留まりの検証アルゴリズムは、通常、Worst Samples アルゴリズムよりも高速に実行されます。

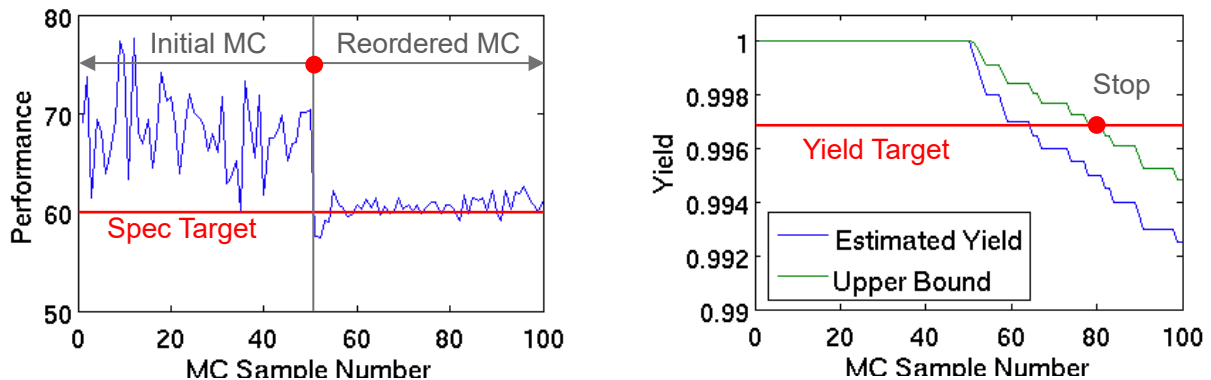


図 8: 目標値より下の条件の歩留まりで停止する例

モンテカルロ・サンプリングは、2つの結論のどちらかに確実になることに停止します。この2つの結論とは、1つ目は、歩留まりが目標値より低くなること（図 8）で、2つ目が目標値よりも高くなること（図 9）です。歩留まりが目標値より低くなると断定するために、すべてのシミュレーションされていないサンプルがパスすると仮定することで、Clopper-Pearson 信頼区間から歩留まりの上界が生成されます。さらにフェイルするサンプルが観測される際には、上界が下げられ、そして、上界が歩留まりの目標値よりも低くなると、モンテカルロ解析の実行が停止します。この手法は、結果をより早く得られるように、フェイルするサンプルが最初にシミュレーションされることから、標準のモンテカルロ解析よりも高速に実行できます。

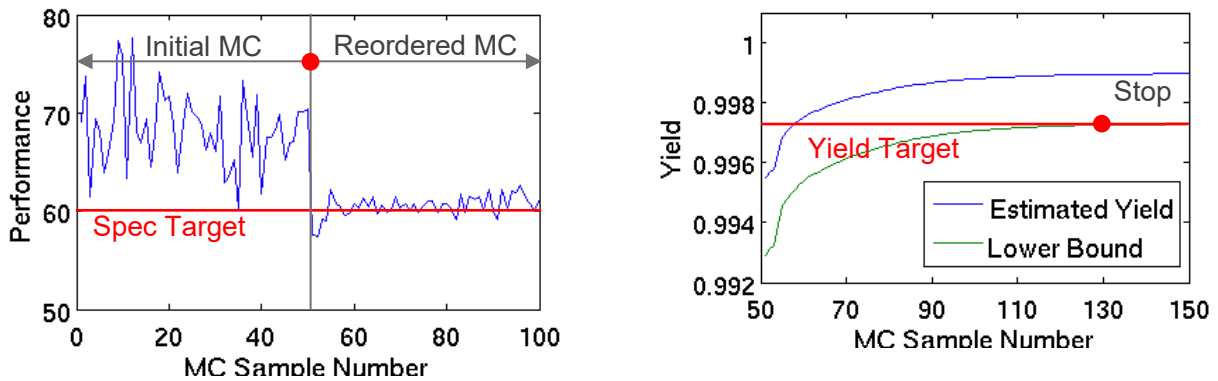


図 9: 目標値より上の条件の歩留まりで停止する例

歩留まりが目標値より高くなると断定するために、Clopper-Pearson 信頼区間から歩留まりの下界が生成されます。下界の換算で使用されるフェイルしたサンプル数は、2つの部分から構成されます。1つは観測されたフェイルしたサンプル数で、もう1つはモデル精度の控えめな推定を元に見積もられた将来のフェイル数です。より多くのパスするサンプルが観測されるにつれ、下界が上がり、下界が歩留まりの目標値を超えたときにモンテカルロの実行が停止します。この手法は標準的なモンテカルロよりも速く収束します。なぜなら、失敗する可能性がより高いサンプルが最初にシミュレートされ、残りのサンプルにフェイルが発生する可能性が非常に低いときに停止することができるからです。

ワースト・サンプルのテストには同じオペアンプの例を用いました。最初に、オペアンプの歩留まりを高く（しかし、99.865%未満に）設定しました。歩留まりが目標値より下になると断定するには、フェイルするサンプルの十分な数を集めるのに、通常は約500サンプルを必要とします。我々の並べ替えの歩留まりの検証のアルゴリズムは、58ポイントを実行して、十分なフェイルするサンプルを見つけることができ、9倍の速度向上となりました。次に、オペアンプの歩留まりを非常に高い値に設定しました。このとき、歩留まりが目標値より大きくなることを確認するには、1700サンプルが標準的に必要になります。我々のアルゴリズムでは、同じ結論に達するのに60サンプルで済みました。この場合、28倍の速度向上が得られました。

Fast Monte Carlo Analysis for High-Yield Designs

多くの設計、例えば自動車のシステムのようなデザインでは、高い信頼性が求められます。このような設計では、4から6-シグマの歩留まりを要求することから、従来のモンテカルロ解析のみでは時間がかかりすぎ、もはや設計が困難になっています。ケイデンスのアルゴリズムでは、従来のモンテカルロ解析が必要とするような数百万や数十万の膨大なシミュレーションの実行なしに4から6-シグマの回路の歩留まりを予測することができます。Scaled-Sigma Samplingは、より大きな倍率を用いて歩留まりを見積もるために、ばらつきを徐々に拡大します（図10）。非線形性動作に対する精度や莫大な統計パラメータや仕様があるときの効率については、これまでも実証されています。（Scaled-Sigma Samplingの論文は、最近2016 IEEE Donald O. Pederson Best Paper Awardを受賞しました。これは、過去2年にわたる Transactions on Computer-Aided Design of Integrated Circuits and Systemsにおいてすぐれた論文として認められるものです。参考資料4）

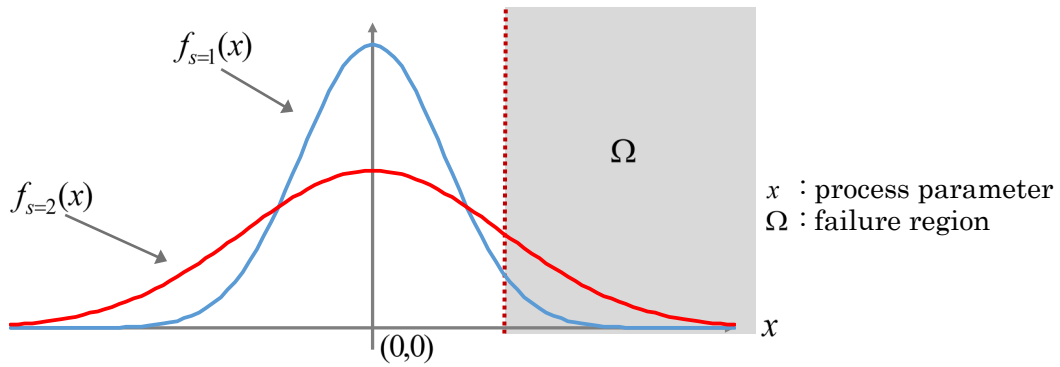


図 10: Scaled-Sigma Sampling の考え方の背景

s ファクターによりすべてのパラメータのばらつきを変化すると、一般に故障率 P は増加します。

故障範囲の非常に一般的な仮定から、次の式により故障範囲を数式化することができます。

$$\log(P) \approx \alpha + \beta \log(s) + \frac{\gamma}{s^2}$$

モデルの係数 (α, β, γ) は、より高い s でのモンテカルロ・シミュレーションから見積もられます。数式をフィッティングした後に、実際の故障率は、以下のように表されます。

$$P(s=1) = \exp(\alpha + \gamma)$$

この手法は、高い歩留まりを必要とする設計について実績のある精度を確保します。次元の情報は、モデル式の係数に組み込まれていることから、さらに、高い次元を持つ回路に対しても、実績のある精度を確保しています。Scaled-Sigma Sampling は、多くのテスト回路や実回路での試験が行われています。(結果は、表 2 や表 3 を参考にして下さい。) Scaled-Sigma Sampling の手法は、統計コーナーの生成や歩留まりの検証の両方に対して利用することができます。

Test Case	True Yield	Estimated Yield	90% Conf Interval
Linear	6.0	5.89	5.27 6.63
Spherical	6.0	5.88	5.46 6.40
Parabolic	6.0	6.23	5.47 7.21

表 2. 7000 サンプルを取ったテスト回路での結果

Test Case	True Yield	Estimated Yield	90% Conf Interval
SenseAmp Delay	5.0	4.83	4.29 5.78
SRAM Column Delay	4.5	4.66	4.27 5.05
OpAmp PSRR	4.5	4.63	4.20 5.12
OpAmp Random Offset	4.5	4.44	4.06 4.99

表 3. 7000 サンプルを取った実回路の結果

Summary

先端プロセス・ノード設計では可能な限りベストな状態をレイアウトに渡すことを確実にする必要がありますが、厳しい設計スケジュールでは、何百万もの統計シミュレーションの実行を待つ余裕はありません。さらに、先端プロセス・ノードの場合、ファウンドリーが提供するデジタル回路向けのプロセス・コーナーの特性では、精度をとることがもはや困難です。このホワイト・ペーパーでは、迅速なコーナー作成、速いサインオフの実行、そして、重要なデバイス探索を使った先端プロセス・ノード設計の生産性を改善する新しいフローについて紹介しました。このフローは、必要とする歩留まりの目標値を達成するために必要な回路の信頼度を確実にするファウンドリーにより承認された手法を提供します。

For Further Information

- 1 [Virtuoso Variation Option](#)
- 2 [Virtuoso ADE Product Suite](#)
- 3 [Speed Up Monte Carlo Analysis for TSMC 16FF+ Design with the Virtuoso Analog Design Environment Webinar, *Cadence event page*](#)
- 4 Scaled-Sigma Sampling paper:
S. Sun, X. Li, H. Liu, K. Luo and B. Gu, “Fast statistical analysis of rare circuit failure events via Scaled-Sigma Sampling for high-dimensional variation space,” IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 34, no. 7, pp. 1096-1109, Jul. 2015.

