

# 克服記憶體介面「考慮電源效應 (Power-Aware)」設計的挑戰

記憶體介面設計最嚴峻的挑戰之一就是精準地測量時序的同時還要考慮因為同步切換訊號而產生在電源與接地導體間的電壓波動。信號完整性 (SI) 的工程師們正越來越多地堅持“考慮電源效應”的SI分析，分析記憶體介面時，還要考慮訊號與非理想電源/接地的效應。本文代高速記憶體介面考慮電源效應SI的I/O建模、互連建模、模擬與分析之相關挑戰，以及如何利用現代化工具來克服這些挑戰。

## 目錄

簡介 .....	1
考慮電源效應(Power-Aware)的I/O建模.....	3
互連與PDN建模 .....	4
模擬環境.....	5
結果的後處理與分析.....	6
彙總 .....	8

## 簡介

從晶片到封裝、到電路板，乃至於跨多重電路板，各個階層的記憶體介面對訊號完整性工程師都是個挑戰性。隨著最新DDR3與DDR4速度支援到multi-gigabit平行匯流排介面，電壓擺幅(voltage swing)比前一代介面更小，現代的記憶體介面設計已經不容許有任何錯誤了。

設計記憶體介面的關鍵一直都在於時序收斂(timing closure)。每個資料訊號的時序都必須與其相關的strobe訊號相比較，以使strobe正緣與負緣(rising and falling edge)都能夠捕捉到資料，這就是所謂的DDR (double data rate)。當資料傳輸率增加到2 Gbps以上時，各正負緣相關的時序餘裕(timing margin)變得更小(圖1)。

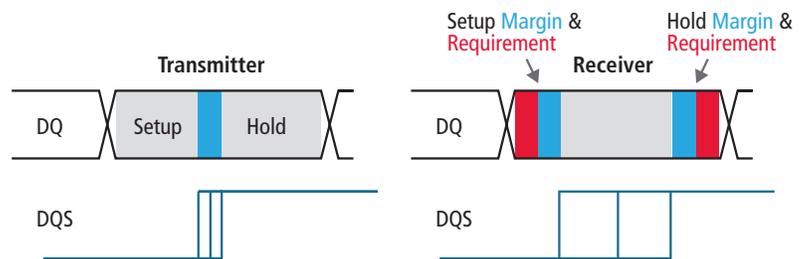


Figure 1: Source synchronous timing

然而，現在最大的挑戰在於精準地測量時序的同時還要考慮因為同步切換訊號而產生在電源與接地導體間的電壓波動。在最壞狀況下，所有64位元資料匯流排都同時轉換，電源供應網路(PDN)上大規模的瞬間電流變化會導致電壓準位的明顯波動而影響訊號的時序餘裕。這些切換訊號變動通常稱為時序「推出(push-out)」或「拉進(pull-in)」。如果資料穩定(data settling)與strobe轉換之間的時間太長，就會發生亞穩(meta-stable)狀況，影響到資料完整性(圖2)。

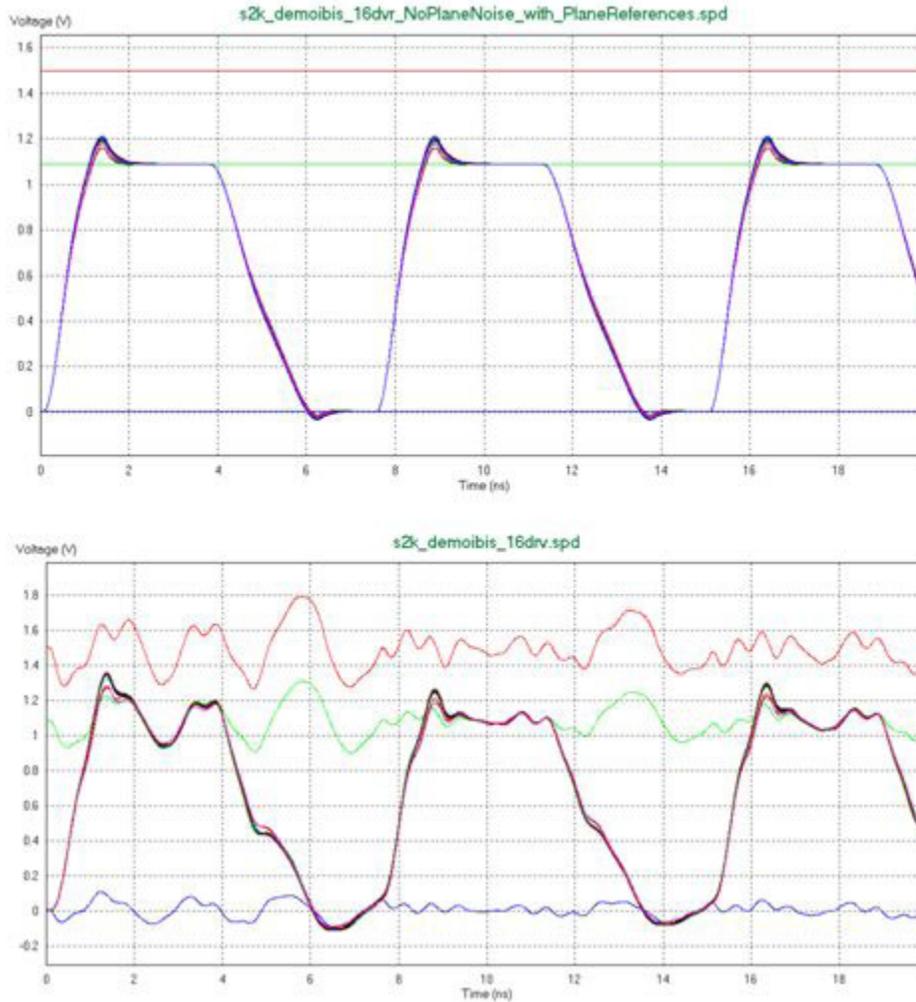


Figure 2: Signal waveforms assuming ideal and non-ideal PDN

同時切換雜訊(simultaneous switching noise, SSN)效應的特徵化需要對包括傳送與接收緩衝器和之間的所有互連系統實施暫態分析(transient analysis)。與SPICE迥然不同，實際電路可能不適用整體接地(node 0)，因為所有訊號都連接其附近電源/接地接腳(power/ground pads)。因此，不僅是連接線，甚至相關的PDN也必須納入這個系統模型中。

系統互連包括從主動晶片傳送緩衝器到die pad的晶片上路徑(on-chip path)、封裝、PCB甚至主機板；系統的接收端也有同樣的元件。系統在晶片上的部份通常建模為分散(distributed)、集總RC(最近更包含至RLCK) SPICE電路。低速封裝以RLCK集總模型為代表，而高頻封裝則以S參數為代表。PCB的面積大到集總元件模型難以適用，而通常使用S參數。即使沒有包含非線性緩衝器，這些非集總、寬頻領域模型仍意味著相當複雜的暫態模擬。

因為大部分的訊號完整性(SI)軟體工具都是在可以忽略SSN時序效應的時代所建立的，許多工具執行SI分析時都假設電源與接地位準是理想的。但是，由於時間餘裕越來越緊迫，假設理想的電源與接地會導致原型(prototype)製作失敗，或者更糟糕的是，在已上市的量產品上才出現資料完整性問題。

SI工程的趨勢就是分析記憶體介面時，還要考慮訊號與非理想電源/接地的效應。現在這稱為「考慮電源效應(Power-Aware)」的SI分析。I/O緩衝器的建模現在可以遵循更新的IBIS標準(IBIS 5.0+)，考慮電源效應的IBIS模型容許SI工具考慮電源、接地以及訊號間的寄生效應。

接下來，我們將討論現代高速記憶體介面考慮電源效應SI的I/O建模、互連建模、模擬與分析之相關挑戰，以及如何利用現代化工具來克服這些挑戰。

### 考慮電源效應(Power-Aware)的I/O建模

對晶圓廠和無晶圓廠設計公司而言，傳送與接收緩衝器都是關鍵的智慧財產；並透過描述IO cell特徵化軟件提取SPICE模型。然後會依據嚴格的非公開合約(NDA)，將這些模型加密再分發。每個緩衝器都包含許多電晶體。即使在理想的負載狀況下，這些緩衝器電路的SPICE模擬仍常收斂緩慢。

全匯流排SSN特性描述需要數百，甚至數千電晶體搭配寬頻模型。這種模擬非常耗費資源，而且容易遭遇SPICE收斂問題。即使在高效能電腦平台上執行，典型的模擬時間仍需要好幾天，並耗用大量記憶體。

IBIS緩衝器巨集模型(macromodels)通常需要系統級SI模擬，而非電晶體模型。與電晶體級模擬相比，模擬時間、記憶體耗用與收斂問題都會大幅減少。但是，以前大家都知道IBIS模型並不適合於SSN模擬，因為4.2和舊版無法保證正確的電源/接地緩衝器電流。

經過強化的IBIS 5.0，已可以克服這種情況。稱為BIRD-95與BIRD-98的更新被加入規格中，模擬電源地之間電流以及電流與電壓關係如何隨PDN電壓雜訊波動的模型。上述兩個更新共同提供精準的緩衝器操作電流建模，讓符合IBIS 5.0規範的模型適用於全匯流排SSN特性描述(圖3)。

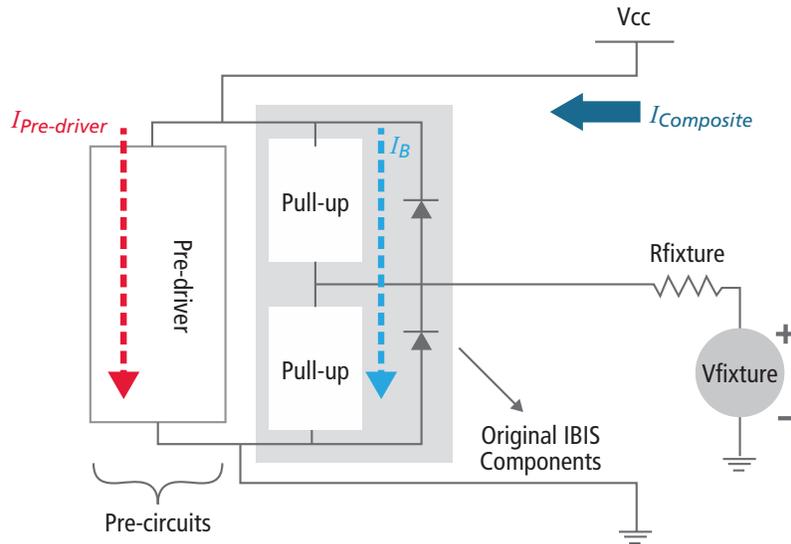


Figure 3: Schematic of behavioral I/O model

並不是所有SI軟體現在都支援IBIS 5.0緩衝器模型應用於考慮電源效應的SI分析，但是會越來越普遍。現在已經有商用解決方案可以支援電晶體級緩衝器模型轉換到IBIS 5.0特性的巨集模型(圖4)。

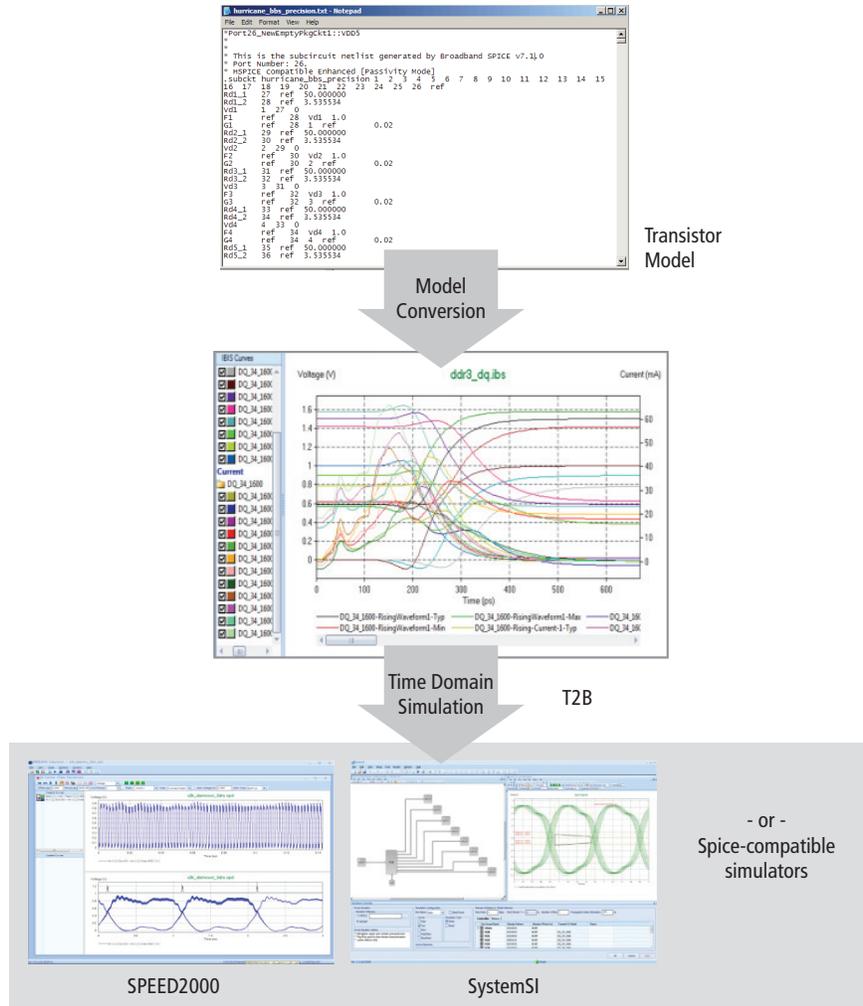


Figure 4: Transistor-to-behavioral (T2B) I/O model conversion

此轉換器可被運用在擁有自己IP的晶圓廠、無晶圓廠設計公司，以及只拿到電晶體級模型的设计人員。半導體供應商紛紛投入提供IBIS 5.0模型的行列。如果供應商網站還沒列出這種模型，一般透過申請或者簽定非公開合約(NDA)，设计人員仍可拿到IBIS 5.0模型。IBIS 5.0緩衝器模型解決了電晶體模型(甚至加密模型)中存在的IP敏感度問題，而且不必公開製程參數。

### 互連與PDN建模

實現考慮電源效應SI方法的挑戰之一，就是PCB等互連的萃取與建模。以前，這都是要萃取訊號走線的傳輸線模型(例如SPICE “W” 元素)，同時假設鄰近繞線的是無限、完整的參考平面。訊號貫孔(Via)通常都使用快速閉合形式(fast closed-form)法建模為獨立、非耦合的物件，只有自我寄生(也就是理想的電流返回路徑)。這種技術在數學上非常便利，因為從計算觀點而言，這使得萃取變得相當容易。但是，這種作法完全忽視電源傳輸網(power delivery network, PDN)，在模擬上強加「理想電源」假設，使模擬結果無法顯現任何PDN效應。

但要將PDN融入萃取流程是一大挑戰。這通常牽涉到包含電源與接地層面各種鋪銅的萃取，還有貫穿其間的貫孔，以及與訊號走線的耦合。這些貫孔基本上都扮演徑向傳輸線的角色並激勵平行板間電磁場、干擾對晶片的電源供應，而且也會將雜訊耦合到訊號上。

去耦電容也必須建模，並融合到模型提取中；供應PCB電源的電壓調節模組(voltage regulator module, VRM)也一併考慮。一旦模型提取問題從「訊號與貫孔」擴大到「訊號、平面與貫孔」時，以前使用的簡單傳輸線提取技術就不敷使用，而此問題需要某種全波電磁場解決方案。

傳統的全波電磁場求解器(full-wave field-solvers)應用了全套Maxwell方程式,完全沒有簡化假設(計算上)。全波電磁場引擎當然能夠處理前面討論的所有結構,但是運算成本高昂。從典型設計時程的務實角度而言,運用純粹的全波電磁場技術只能提取幾個訊號和一小部分的PDN。儘管這一小部分相當精準,仍無法滿足解決考慮電源效應SI問題所需的建模規模。通常我們需要納入大量匯流排訊號,例如16或32個,以涵蓋同步交換輸出(SSOs)的效應。

匯流排專屬的整個PDN也要提取,包含來自堆疊的電源與接地平面,以及相關的去耦合電容(decoupling caps)。為了提供如此規模的提取與建模,必須採取不同的作法。

現有技術以特有的方式迎戰這個令人氣餒的問題。運用專利的「綜合求解器(hybrid solver)」技術,Layout被分解成走線、貫孔、平面與電路(例如適用於去耦合電容模型)。這些元素被送到專為上述結構而最佳化的特殊求解器,然後結果被送回而整合成的S參數。這種技術提供幾乎接近全波電磁場的精準度,同時能夠在合理時間內處理非常大規模的問題。這些S參數可在時域中直接模擬,或者轉換成寬頻SPICE模型,提供更高的時域模擬效能(圖5)。

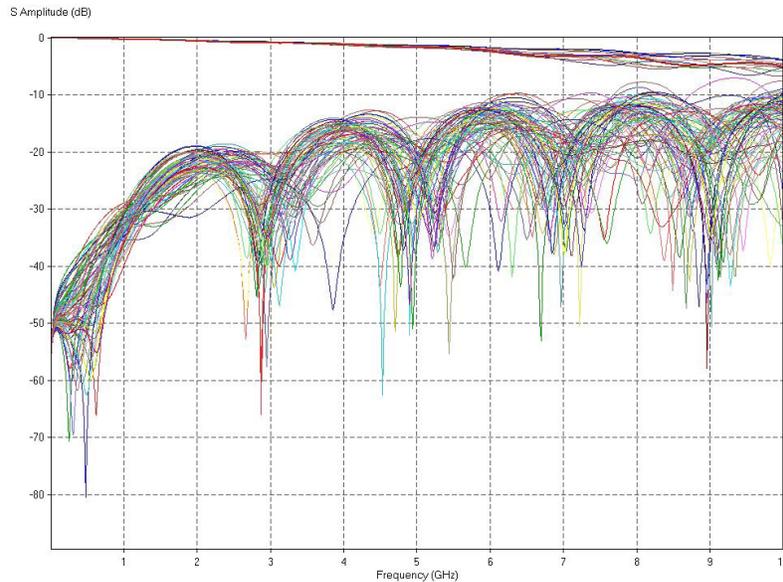


Figure 5: Extracted PCB S-parameters from PowerSI

## 模擬環境

在考慮電源效應SI的模擬環境挑戰中分成了幾個面向:匯流排建模、時域模擬本身以及結果的後處理。一旦I/Os、去耦合電容與被動互連的模型完成後,匯流排建模挑戰就浮現了。這時需要建立一個從晶片到另一晶片間的匯流排模型以用於模擬。這在電路圖式(schematic-like)的環境中很容易做到,匯流排可以輕鬆地跨晶片、封裝與電路板而具體化。

電路圖式的環境有幾項功能使分析更容易。其中之一就是階層式連線(hierarchical connectivity),與傳統以電路圖為基礎的工具中的「畫線路(wire-by-wire)」連線形成對比。畫線路連線時,每一條線都從頭到尾顯示在電路圖上,小型拓撲可以精雕細琢,但倘若您要建立一大群耦合訊號的模型,每個模型搭配眾多電源與接地連線時,這種方法就不切實際了。在階層式連線作法中,模型之間只會顯示一條連線,詳盡的繞線細節放在下一層。這樣就可以輕鬆地架構大型匯流排拓撲以供分析了(圖6)。

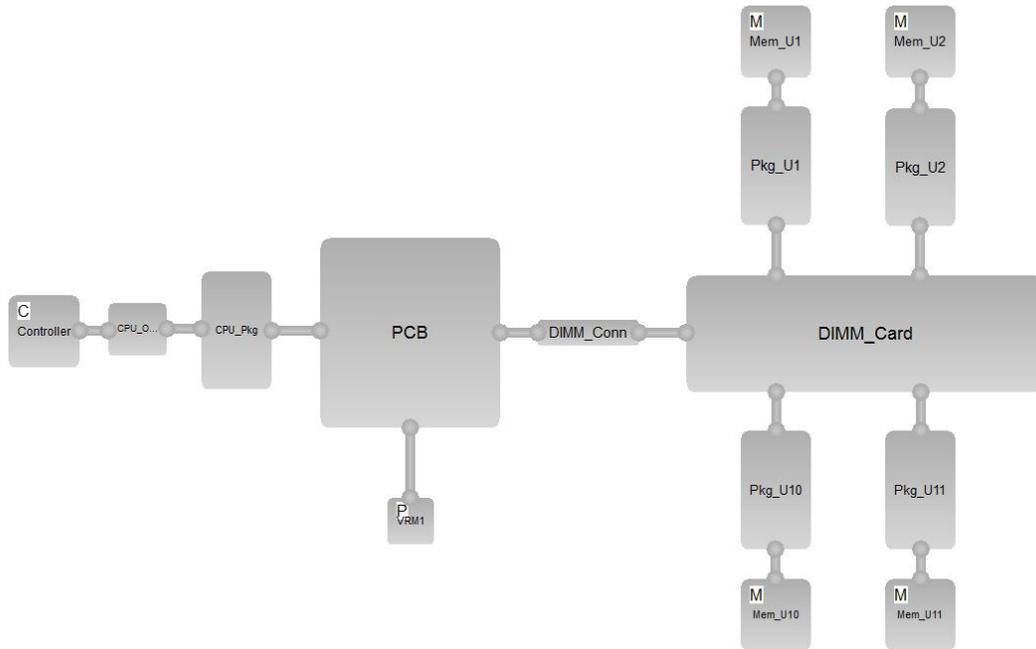


Figure 6: Bus topology in SystemSI

關於模擬本身，似乎是簡單明瞭，但仍有一些事項必須考慮。SI工具一直將匯流排層的問題分割成許多零碎部分，例如在個別訊號上執行去耦合的單線模擬以收集延遲資料，然後執行部分耦合的匯流排子集以收集耦合相關的效應，接著再將結果結合。(SSO通常全被忽視。) 餘裕很大時，這種分而合成(divide-and-conquer) 的作法無可厚非；但是現代1.6 Gbps DDR3資料匯流排上的餘裕與前一代333 Mbps DDR資料匯流排上的餘裕卻有很大的差異，難以執行這種技術。

在硬體中，反射(reflections)與同連結線上訊號干擾(inter-symbol interference, ISI)不會獨立於串音干擾(crosstalk)或SSO之外而發生。這些效應全都一起發生，彼此互相影響；不可能分的乾乾淨淨。模擬必須更貼切地模仿硬體特性，簡化成在一個大型模擬中執行整個匯流排結構。以這種方式，主要效應之間的所有相互影響與互動都會被捕捉到結果中。這種作法還有其他好處，就是可以直接進行建立和維持時間(setup and hold)的量測，就好像您在實驗室中運用示波器來測量一般。

### 結果的後處理與分析

一旦得出模擬結果之後，下一個挑戰就是要使結果波形的後處理解讀自動化，以便採行對策、製造報表和收斂時序。依據DDR記憶體介面專屬的最新Jedec規格，很多量測必須執行。為了追求周延，必須對每個訊號週期進行量測。這樣很快就會產生大量資料，故能將這些資料描繪以評估設計非常必要，而不只是產生有非常多行列的試算表。

後處理的另一個重要方向是使建立和維持時間(setup and hold times)的減額(derating)作業自動化(圖7)。

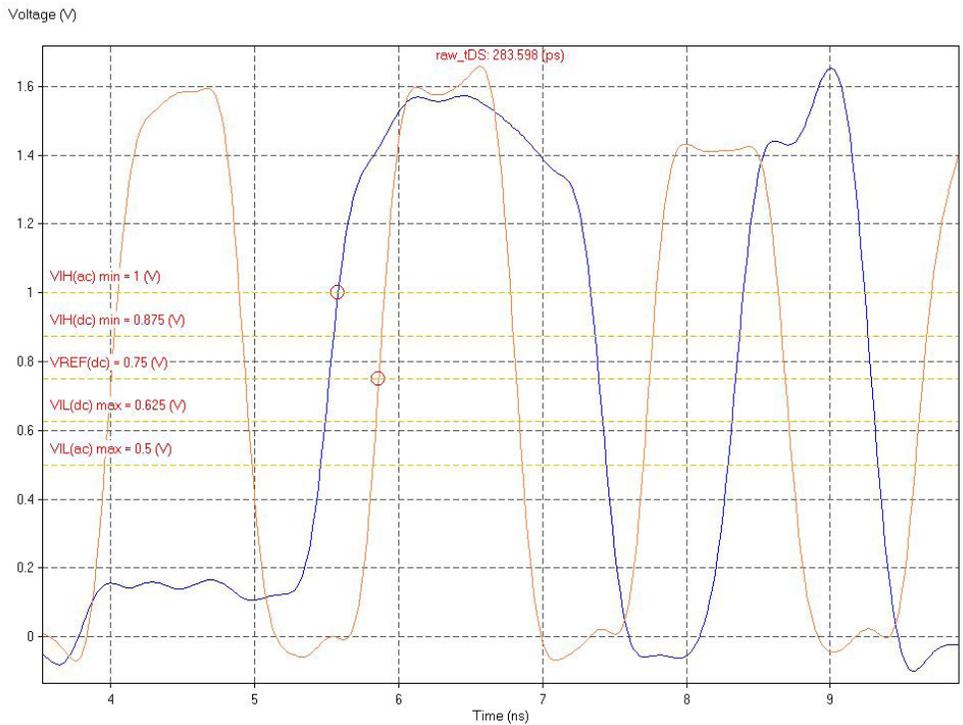


Figure 7: Setup measurement

依據Jedec規格，訊號的斜率 (slew rate)決定記憶體建立和維持時間基本設定值外的增減量。這對資料匯流排而言的意義在於，每次都必須自動測量資料斜率和strobe訊號。然後從這兩種資料，由查檢表提供適用於該次建立與維持資料時間的增減量，然後該次的最終建立和維持餘裕於是決定。這必須每個週期針對所有訊號重複執行。再次強調，資料量的累積非常快速，因此自動化至為關鍵。

		Delta_tDS (ps) — AC250 tDS Derating Values for DDR2-400/533								
		DQS Single-Ended Slew Rate (V/ns)								
		2.0 V/ns	1.5 V/ns	1.0 V/ns	0.9 V/ns	0.8 V/ns	0.7 V/ns	0.6 V/ns	0.5 V/ns	0.4 V/ns
		Delta_tDS	Delta_tDS	Delta_tDS	Delta_tDS	Delta_tDS	Delta_tDS	Delta_tDS	Delta_tDS	
DQ Slew Rate (V/ns)	2.0	188	167	125						
	1.5	146	125	83	81					
	1.0	63	42	0	-2	-7				
	0.9		31	-11	-13	-18	-29			
	0.8			-25	-27	-32	-43	-60		
	0.7				-45	-50	-61	-78	-108	
	0.6					-74	-85	-102	-132	-183
	0.5						-128	-145	-175	-226
0.4							-210	-240	-291	

Figure 8: Derating table

為了處理大量資料與收斂時序，自動化報告功能必須進行資料的後處理作業，並提供智慧型摘要以說明關鍵結果，例如：

- 在「寫入」狀態時，記憶體裝置的定址(address)/指令和控制匯流排，以及供資料匯流排有足夠的設定與維持餘裕。
- 「讀取」資料匯流排時，控制器端時間差的需求(Skew requirements)是否獲得滿足。
- Strobe-to-clock時間差需求是否獲得滿足。

## 彙總

從理想的電源假設轉移到考慮電源效應的SI方法，需要升級建模與模擬技術，也需針對現代記憶體介面有適當的SSN描述。

關鍵就是考慮電源效應的I/O建模技術，在筆記型電腦上只需幾分鐘即可完成SSN模擬，不必在大型伺服器上曠日費時。從IBIS 5.0版以上，有業界標準的作法可以完成這項工作，也有工具可以自動化地從電晶體級網表產生這些模型。系統工程師的需求將快速帶動元件供應商更廣泛地提供這些I/O模型。

執行高效率互連與PDN提取的工具上市已經很多年了，隨著DDR3與DDR4設計數量漸增，也逐漸變成了SI應用的主流。模擬環境也需要進步，以處理複雜的匯流排拓樸、周延的模擬以及高度自動化後處理作業，以分析當今的高挑戰性介面。



Cadence is transforming the global electronics industry through a vision called EDA360. With an application-driven approach to design, our software, hardware, IP, and services help customers realize silicon, SoCs, and complete systems efficiently and profitably. [www.cadence.com](http://www.cadence.com)